

TECNOLOGIE MICROELETTRONICHE

[Fotocopie di Appunti PARTE 3]

A CURA DI ALESSANDRO PAGHI

PROFESSORE: Francesco Pieri (<http://unimap.unipi.it/cercapersone/dettaglio.php?ri=4932>)

LINK AL CORSO ANNO 2016/2017: <http://elearn.ing.unipi.it/enrol/index.php?id=785>

FREQUENTAZIONE: Consigliata.

Si pulisce la superficie della fetta e si compie una assoluta termica con una fetta di Si mono. Si compie un passo termico che propone di rompere la fetta lungo la linea desiderata di idrogeno. Si compie un annealing a 1100°C ed una CMP della fetta Si. La fetta principale viene ricucita per creare un nuovo substrato Si.

ISOLAMENTO SODI-DTI

Con una tremola in Si amo ad unione
col SiO_2 , raddonda completamente il
transistore cotto.

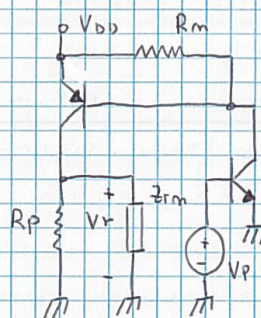
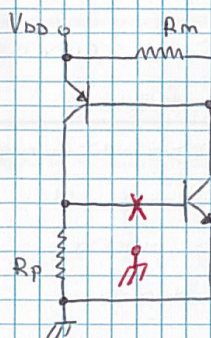
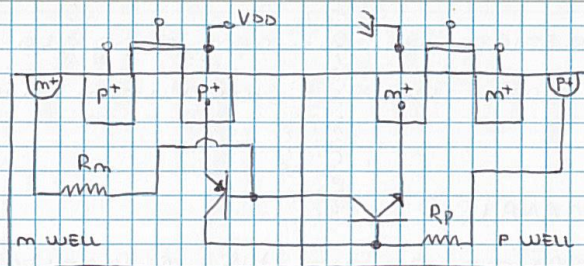
Necessitato da sensori e dispositivi che lavorano ad alta tensione.

INGEGNERIA DELLE WELL

TWIN WELL

Si usano due vasi (uno per una m) di epitassia poco drogata.

Con questa soluzione si presentano però
transistori BJT parassiti.



$$B_A = \frac{V_r}{V_p} \quad | \quad V_s = \mu$$

Se $\beta A > 1$ si immessa un'instabilità distruttiva per il circuito: è necessario ridurre la resistenza serie della base (latch-up) in quanto causa la ddp VBE e ridurre il guadagno dei transistori, senza modificare il drogaggio del canale.

WELL RETROGRADA

Il drogaggio della well aumenta aumentando in profondità: questo provoca una diminuzione del resisto della resistenza serie e del guadagno dei transistori.

Possono essere realizzate:

- con un impianto ad energia separata
- con impianti multipli a varie energie
- mediante strati separati:
 - implantazione ionica di atomi di As per creare una zona n^+
 - annealing
 - implantazione ionica di atomi di B per creare una zona p^+
 - annealing
 - drive in
 - crescita epitassiale di Si non drogato
 - isolamento della well + impianto della well.

INGEGNERIA DEL CANALE

La corrente massima di un MOS è limitata dalla mobilità efficace nel canale.

Un metodo per aumentare la mobilità di canale può essere utilizzato siccome ottenuto: la deformazione geometrica provoca una deformazione della banda. In particolare nota la forma dei minimi, che comporta una riduzione della massa efficace e quindi un aumento della mobilità.

STRESS BIASSIALE MEDIANTE ETEROEPITASSIA PLANARE

Un strato di SiGe del comode $\bar{x}$ è depositato sopra uno strato di SiGe . Il film di Si su SiGe sono stressati in tensione in quanto SiGe ha un passo reticolare maggiore di Si .

Si ottiene un aumento sensibile della mobilità degli elettroni, ma in minor parte per la lacune.

STRESS MONOASSIALE MEDIANTE SEG SU PHOS

Si rimuove lo strato di drain e source e si ricrea SiGe epitassiale. Il SiGe ha un passo reticolare maggiore di Si e quindi lo strato di Si è stressato in compressione nella direzione del canale. Si riesce ad ottenere un aumento di I_{ONMAX} circa 30%.

STRESS MONOASSIALE MEDIANTE CAP DEPOSITO SU NHOS

Si deposita un film di Si_3N_4 lo quale, a causa della differenza costante di dilatazione termica, determina un stress in tensione del Si nel canale. Si riesce ad ottenere un aumento di I_{ONMAX} circa 10%.

DIELETTRICI DI GATE

La corrente di perdita attraverso l'ossido, per oggetto tinnere, dipende dalla spessore.

Per SiO_2 a 2nm $> 1 \text{ A/cm}^2$.

$$I_{\text{SSAT}} \propto C_{\text{ox}} = \frac{E_{\text{ox}}}{t_{\text{ox}}}, \quad E_{\text{ox}} = K \cdot E_0$$

Si usano materiali ad alto K

Criteri di scelta fisici:

- alto K
- alto bandgap
- stabilità in temperatura
- non reagire con lo strato
- bassa densità di stati superficiali

criteri di scelta tecnologici:

- temperatura di deposizione
- bassa temperatura di deposizione

TRANSISTORI MULTIGATE

nei MOSFET passato a canali strutturati a gate non riusciva a modulare efficacemente la corrente.

DIBL (Drain Induced Barrier Lowering)

Riducendo la lunghezza di canale, la lunghezza della regione di arruotamento D-B diventa importante e la tensione di soglia comincia a dipendere dalla tensione di Drain: $V_{TH}(V_D)$.

PEGGIORAMENTO DEL SUB THRESHOLD SWING (SS)

Sotto la tensione di soglia, riducendo la lunghezza di canale, comincia a scorrere una corrente sensibile. In un primo momento si risolve questo problema aggiungendo marginalmente d'oro sotto il canale.

Si sviluppano MOS con tecnologie non planari:

- SOI FinFET
- SOI TRIGATE (SOI FinFET senza Hardmask)
- SOI TGATE (Source e Drain sovrapposti rispetto al SOI TRIGATE)
- SOI n-GATE
- SOI GATE-ALL-AROUND
- BULK TRIGATE

Creazione Bulk Trigate:

- 1) Deposizione Si_3N_4 su Si mono; poi deposizione di una Hard mask.
- 2) Deposizione di polisorist e litografia nel fine di creare due elettrodi.
- 3) Deposizione conformale di SiO_2 ed etch Back nel fine di fermare gli apax.
- 4) Attacco e rimozione del polisorist. Il pitch degli apax è ora dimezzato.

- 5) Attacco AIE e rimozione dello "Rund mask" e del metallo
- 6) Deposizione conformale di SiO_2
- 7) Planarizzazione per CMP
- 8) Etch-back dello SiO_2 e liberazione delle pinne.

INTERCONNESSIONI

Sono decisive per il comportamento elettrico
Problemi introdotti dalle interconnessioni:

- problemi di crosstalk dovuti alla presenza di componenti capacitivi.
- problemi di potenza dovuti alla presenza di componenti resistivi.
- problemi di velocità dovuti alla presenza di costante di tempo $\tau = R \cdot C$.

Il costruttore non può avere bassa resistenza di strato e basso effetto capacitivo tra due metal.

Parametri geometrici di una connessione:

- larghezza: riducendola R_0 la possibilità di inserire più depositi e ridurre gli effetti capacitivi.
- spessore: aumentando R_0 la possibilità di ridurre gli effetti resistivi.
- Aspect ratio: (t/w)
- Pitch: distanza tra due metal.

I livelli più alti sono le interconnessioni globali.

I livelli adiacenti si appiano ortogonalmente per minimizzare il crosstalk.

Con lo scaling dei dispositivi, le resistenze in gioco aumentano e quindi sono usati materiali a bassa resistenza.

Aluminio:

- stabile rispetto all'ossido
- buon contatto con Si fortemente drogato
- semplice da depositare
- Presenta il fenomeno dell'elettromigrazione
- Spiking: alta diffusività di Si in Al, quindi Al riempie i crateri di grano.

Soluzione allo Spiking:

aggiunta di Si che migliora l'elettromigrazione e creazione di barriera all'interfaccia (TiSi_2 , TiN)

Rame:

- migliore conducibilità
- scarsa adesione su Si e SiO_2
- stabilità in temperatura
- elettromigrazione migliorata
- richiede barriera in quanto dipende notevolmente da un Si che SiO_2
- Ossida a temperatura ambiente
- Rimovibile solo con CMP.

Riduzione delle capacità:

$$C = K \cdot \epsilon_0 \cdot \frac{w \cdot l}{h}$$

- aumentare aspect ratio
- ridurre la costante dielettrica

PLANARIZZAZIONE

Necessaria per aumentare la densità di integrazione.

Metodi:

- Reflow: in seguito ad un aumento di temperatura lo strato superficiale diventa viscoso e migliora la propria planarità
- Etchback: Si deposita un polimero sopra l'interfaccia. Si prosegue successivamente ad una planarizzazione dello strato di polimero depositato.

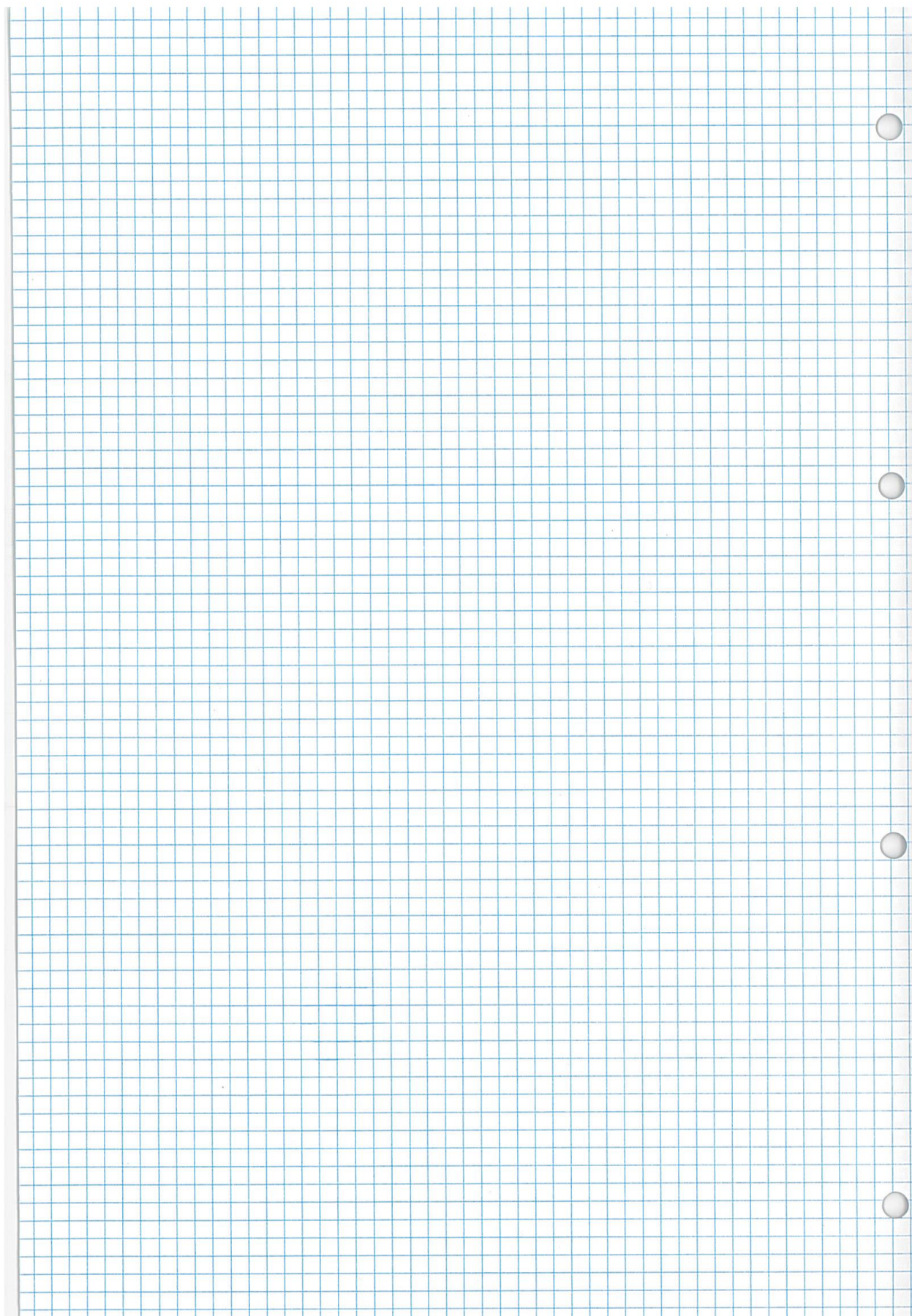
- CMP : l'apparecchio meccanico - chimico.

Back-end module:

- metal in oxide
- barriera alla diffusione del rame (TiN)
- Pad per le wire

Fasi a partire da una metal 1 per creare una metal 2:

- 1) Cresco una barriera sulla metal 1 (TiN)
- 2) Cresco ossido
- 3) Cresco uno strato di nitruro
- 4) Cresco un'altra ossido
- 5) Litografia per etichettare allo strato di nitruro
- 6) rimozione strato di nitruro
- 7) Litografia per etichettare allo metal 1
- 8) Cresco una barriera di contatto tra Cu-SiO₂ (TiN)
- 9) Deposito Cu
- 10) CMP per pianeizzare l'interfaccia Cu-atmosfera.



PACKAGING

WAFER TESTING

I test vengono effettuati a livello di fetta attraversando una sonda con microcontatti che formano i segnali elettrici in uscita (probe card).

I chip difettosi vengono marcati e successivamente scartati.

WAFER THINNING

Lo spessore del wafer è dettato da esigenze di robustezza meccanica durante la fabbricazione.

L'assottigliamento può essere adottato da:

- esigenze di ingombro
- miglioramento di prestazioni elettriche e termiche.

Le tecniche di assottigliamento utilizzate sono affini al chip, in particolare si protegge la faccia anteriore e si "consuma" quella posteriore.

Al termine del processo, la faccia posteriore viene spesso metalizzata per creare un miglior contatto di back e semplificare la cablaggio del package.

DICING (SEPARAZIONE DEI DIE)

La separazione dei die avviene lungo delle piste lasciate libere sulla fetta (scribe lines).

In passato la separazione avveniva attraverso una prima fase di incisione della fetta lungo piani cristallini di facce sfondamento, e poi una seconda fase di separazione tramite pressione applicata da un roller o per urto.

Oggi le fette avviene con seghe diamantate in acqua o in lubrificante.

MONTAGGIO SU PACKAGE

Si dice montaggio incorporato all'interno del package tramite resine epossidiche (caricate di Alluminio o metalli come oro o argento) o leghe eutettiche (oro/stagno, oro/stagno, oro/germanio)

WIRE BONDING

THERMO COMPRESSION BONDING

È una saldatura sia termica che a pressione. Si scalda un filo d'oro localmente, fino a fonderlo ed a pressione una pallina di materiale fuso poi schiacciata e raffreddata sul pad. Pad di $80 \times 60 \mu\text{m}$ e filo di $30 \div 40 \mu\text{m}$

ULTRASONIC BONDING

Un filo di Al viene appoggiato su un pad di Al. Un impulso ultrasonico consente la fusione tra le due parti.

È un saldatura a freddo ma utilizza una spinta maggiore.

FLIP CHIP

Si depositano sui pad dei bump (passive) metallici. Si rovescia il chip e si appoggia sul package saldando i bump del package attraverso un passo termico. Si riempie lo spazio residuo con una resina.

Si ottiene una resistenza elettrica molto bassa ed una resistenza termica quest'ultimo / package elevata.

TIPI DI PACKAGE

Through Hole (DIP Dual Inline Pin, PGA Pin Grid Array)

Surface Mount (SOLC Surface Outline IC, BGA Ball Grid Array)

CARATTERIZZAZIONE ELETTRICA

METODI DI CARATTERIZZAZIONE DEI PROFILI DI DROGGAGGIO E DELLE RESISTENZE DI STRATO

METODI RESISTIVI

La misura della resistività è effettuata sia su materiali di partenza utilizzati per fabbricare dispositivi, sia su strati realizzati durante il processo microelettronico.

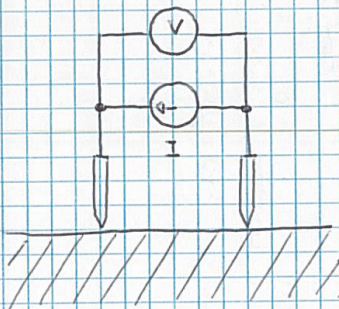
$$\rho = \frac{1}{\sigma} = \frac{1}{q_n \mu_n + q_p \mu_p}$$

per un semiconduttore drogato n:

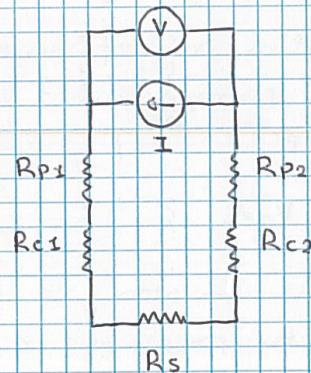
$$\sigma = \sigma_n = q n \mu_n = q N_D \mu_n = q N_D(x) \mu_n$$

STIMA DEL DROGGAGGIO TRAMITE TECNICA NON DISTRUTTIVA: METODO DELLE QUATTRO PUNTE

Metodo delle due punte:



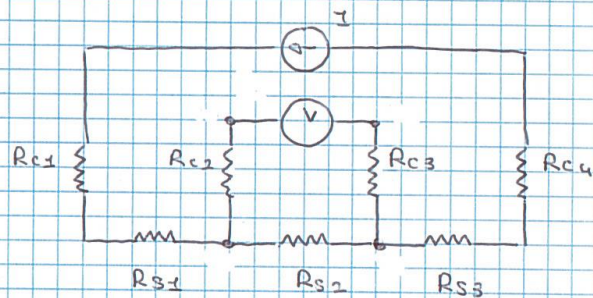
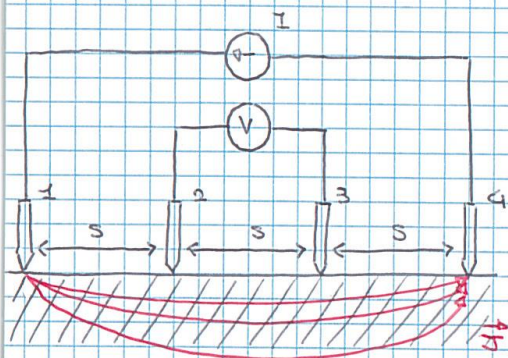
Applica una corrente e misura la tensione.



Purtroppo non riusciamo essere trascurabili le resistenze di contatto e dei collegamenti.

$$R_{mis} = R_{p1} + R_{c1} + R_s + R_{c2} + R_{p2}.$$

metodo delle quattro punte a distanza S :



Le due punte esterne sono collegate ad un generatore di I , mentre le due interne ad un voltmetro.

Il voltmetro avendo $R_{im} \rightarrow \infty$ non risente della presenza di R_{c2} , R_{c3} .

Supponiamo di avere a che fare con un semipiatto di Si drogato in maniera uniforme.

Legge di Ohm macroscopica: $\vec{J} = \sigma \vec{E}$

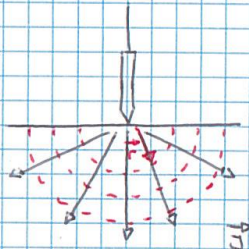
Le linee di campo di $\vec{J}$ sono anche le linee di campo di $\vec{E}$.

$$V = V_2 - V_3 = V_{23}$$

Sorgente che inietta: 1.

Sorgente che preleva: 4.

Analizziamo il contributo di 1:



Le superfici equipotenziali presentano una simmetria sferica.

$$\oint(r) : \oint(r) \cdot 2\pi r^2 = I$$

$2\pi r^2$: superficie 1/2 sfera

$$\oint(r) = \frac{I}{2\pi r^2} = \sigma \cdot E = -\sigma \cdot \frac{d}{dr} V(r)$$

$$-\sigma \cdot \frac{d}{dr} V = \frac{I}{2\pi r^2}$$

$$\frac{I}{2\pi\sigma} \cdot \frac{dr}{r^2} = -dV$$

$$\frac{I}{2\pi\sigma} \int_S^{2S} \frac{dr}{r^2} = - \int_{V_1}^{V_3} dV$$

$$\frac{I}{2\pi\sigma} \left[-\frac{1}{r} \right]_S^{2S} = - \left[V \right]_{V_1}^{V_3}$$

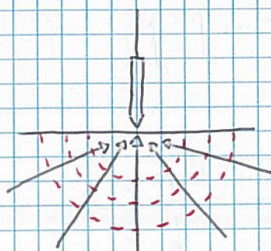
$$\frac{I}{2\pi\sigma} \cdot \left(-\frac{1}{2S} + \frac{1}{S} \right) = -V_3 + V_1 = V_{13}$$

$$\frac{I}{2\pi\sigma} \cdot \frac{1}{2S} = V_{13}$$

$$\rho = \frac{1}{\sigma} = 4\pi S \cdot \frac{V_{13}}{I}$$

$$\rho = \frac{1}{\sigma} = \frac{1}{q \mu m N_D} \rightarrow \text{da cui si ricavano immediatamente } N_D \text{ in } \mu m (N_D)$$

Analizziamo le contribuzioni di q :



Analizziamo le contribuzioni precedentemente risolte:

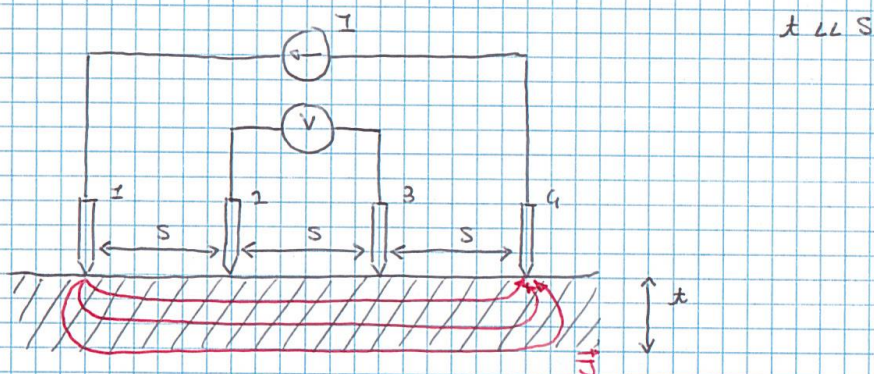
$$V_{13}' = V_{13}$$

verificando la condizione al contorno:

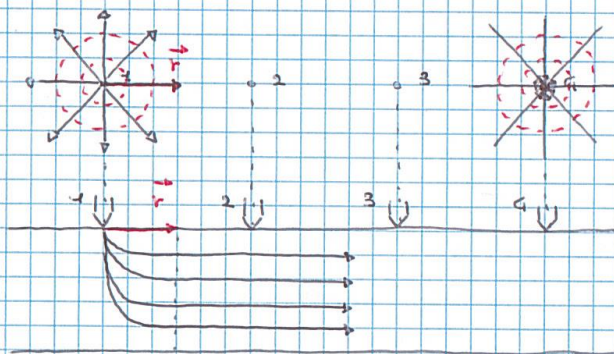
$$\vec{E}_{tot} = \vec{E} + \vec{E}'; \quad \vec{J}_{tot} = \vec{J} + \vec{J}'$$

$$\text{Risultato: } V_{tot} = 2V_{13} \rightarrow \rho = 2\pi S \cdot \frac{V_{13}}{I}; \quad V_{13} = V$$

In situazioni pratiche questa espressione non risulta essere valida a causa dello spessore finito, delle dimensioni laterali finite e dei fili che le punte possono non trovarsi al centro del campione.



Se $t \ll s$, si può supporre che la distanza r dal punto di iniezione della corrente, le linee di corrente $\vec{J}$ siano parallele alla superficie.



Le superfici equipotenziali presentano una simmetria cilindrica.

$$J(r) \cdot J(r) \cdot 2\pi r t = I$$

$2\pi r t$: superficie laterale cilindro

$$J(r) = \frac{I}{2\pi r t} = \sigma \cdot E = -\sigma \frac{d}{dr} V(r)$$

$$-\sigma \frac{d}{dr} V = \frac{I}{2\pi r t}$$

$$\frac{I}{2\pi\sigma t} \cdot \frac{dr}{r} = -dV$$

$$\frac{I}{2\pi\sigma t} \cdot \int_s^{2s} \frac{dr}{r} = - \int_{V_2}^{V_3} dV$$

$$\frac{I}{2\pi\sigma t} \cdot \ln(2) = V_{23}$$

$$\rho = \frac{1}{\sigma} = 2\pi t \cdot \frac{1}{\ln(2)} \cdot \frac{V_{23}}{I}$$

analizziamo il contributo di ϵ :

$$V_{23}' = V_{23}$$

verifichiamo le condizioni al contorno:

$$\vec{E}_{tot} = \vec{E} + \vec{E}^p ; \quad \vec{J}_{tot} = \vec{J} + \vec{J}^p$$

Risultato

$$V_{tot} = 2V_{23} \rightarrow \rho = \pi t \cdot \frac{1}{\ln(2)} \cdot \frac{V_{23}}{I} , \quad V_{23} = V$$

Resistenza di Strato:

$$\rho_s := \frac{R}{t} = \pi \cdot \frac{1}{\ln(2)} \cdot \frac{V}{I}$$

È possibile definire ρ_s anche in casi in cui la resistività non sia uniforme ma sia funzione della spessore

$$\vec{J}(z) = \sigma(z) \vec{E} \quad \rightarrow \quad \rho_s = \frac{1}{\int_0^t \sigma(z) dz}$$

MISURA DEL PROFILO DI DROGGAGGIO

La misura di resistenza di strato possiamo essere utilizzata per ricostruire il profilo di drogaggio di uno strato diffuso.

$$\frac{1}{p_s} = \int_{-\infty}^{+\infty} \sigma(z) dz \approx q \int_{-\infty}^{+\infty} \mu_n N_D(z) dz \quad (\mu_n(N_D(z)))$$

Se ci troviamo in un substrato drogato n per cui risulta $n \approx N_D$.

Per ricostruire $\sigma(z)$ e quindi $N_D(z)$:

- 1) si misura p_s
- 2) si elimina una strato superficiale di spessore Δz
- 3) si misura nuovamente p_s che adesso vale:

$$\frac{1}{p_s(\Delta z)} = \int_{\Delta z}^{+\infty} \sigma(z) dz$$

Si itera il processo.

Per due valori successivi risulta:

$$\begin{aligned} \frac{1}{p_s(z)} - \frac{1}{p_s(z+\Delta z)} &= \int_z^{+\infty} \sigma(z) dz - \int_{z+\Delta z}^{+\infty} \sigma(z) dz = \int_z^{z+\Delta z} \sigma(z) dz \approx \sigma(z) \cdot \Delta z \\ &= q \mu_n N_D(z) \Delta z \quad \text{con } \mu_n(N_D(z)) \end{aligned}$$

Se si suppone che il drogaggio sia costante in Δz .

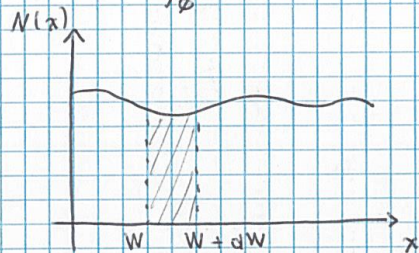
METODI CAPACITIVI

Si consideri una giunzione p⁺n polarizzata inversamente.

C_W : capacità differenziale della zona di sostantamento

$$C_W = \frac{d}{dV} Q_W = \frac{e_s}{W}$$

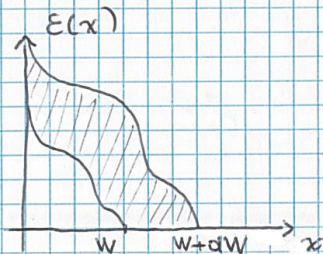
$$Q_W = q \cdot \int_{\phi}^W N_D(x) dx ; \quad dQ_W = q \cdot N_D(W) dW$$



$$W + dW = W'$$

$$C_W = q \cdot N_D(W) \frac{dW}{dV} \rightarrow \text{da } C_W \text{ posso trovare cui informazioni sul drogaggio}$$

Siccome $E_{MAX} = E(x=\phi) = -\frac{Q_W}{e_s}$, in conseguenza ad una variazione infinitesima della tensione applicata, si ha una conseguente variazione della zona di sostantamento e quindi del campo elettrico massimo.



$$dE_{MAX} = -\frac{dQ_W}{e_s}$$

In tutti i punti dello zds il campo aumenta della stessa quantità

$$-dV = \int_{\phi}^W dE_{MAX} dx = dE_{MAX} \int_{\phi}^W dx = dE_{MAX} \cdot W = -\frac{W dQ_W}{e_s}$$

$$\text{Da cui si ricava } C_W = \frac{dQ_W}{dV} = \frac{e_s}{W}$$

e quindi abbiamo dimostrato l'equazione da utilizzare.

Da particolare questa relazione ci permette, da una misura di C_W ad una data V , di calcolare immediatamente W e quindi ricostruire $W(V)$.

$$\frac{dW}{dV} = \epsilon_s \frac{d}{dV} \left(\frac{1}{C_W(V)} \right) \quad \text{da} \quad W = \frac{\epsilon_s}{C_W}$$

E quindi

$$C_W = q N_D(W) \frac{dW}{dV} = q N_D(W) \cdot \epsilon_s \cdot \frac{d}{dV} \left(\frac{1}{C_W(V)} \right)$$

$$N_D(W) = \frac{C_W}{q \epsilon_s \cdot \frac{d}{dV} \left(\frac{1}{C_W(V)} \right)}$$

$$\frac{1}{C_W} \cdot \frac{d}{dV} \left(\frac{1}{C_W(V)} \right) = \frac{1}{2} \frac{d}{dV} \left(\frac{1}{C_W(V)^2} \right)$$

$$N_D(W) = \frac{2}{q \epsilon_s \cdot \frac{d}{dV} \left(\frac{1}{C_W(V)^2} \right)}$$

Occorre comunque con estrema la superficie del diodo e se il diodo è piccolo, per effetti di bordo sono notevoli.

ANALISI STRUTTURA MOS

$$Q_{si} = Q_{si}(V_{si})$$

$$C_{si} = \frac{d}{dV_{si}} Q_{si} = \frac{\epsilon_s}{W(V_{si})}$$

$$C_{ox} = \epsilon_{ox} / t_{ox} \quad \frac{1}{C_{tot}} = \frac{1}{C_{si}} + \frac{1}{C_{ox}}$$

Quando la struttura MOS è in zona di sovrastamento la tensione V_G modula l'ampiezza di W .

$$C_{tot} = \frac{d}{dV_G} Q_G, \quad dQ_G = -q \cdot NA \cdot dW$$

$$dW = \epsilon_s \cdot d \left(\frac{1}{C_{si}} \right) = \epsilon_s \cdot d \left(\frac{1}{C_{tot}} \right)$$

$$-q N_A dW = C_{TOT} dV_G$$

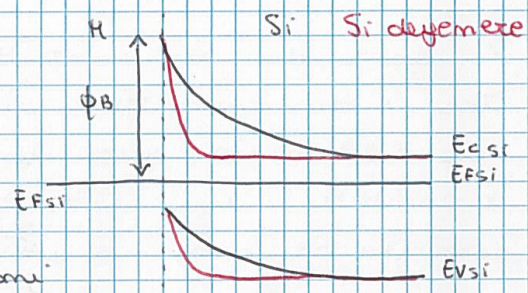
$$-q N_A \epsilon_s \cdot d \left(\frac{1}{C_{TOT}} \right) = C_{TOT} dV_G$$

$$N_A = - \frac{C_{TOT} dV_G}{q \epsilon_s d \left(\frac{1}{C_{TOT}} \right)} = \frac{2}{q \epsilon_s \frac{d}{dV} \left(\frac{1}{C_{TOT}^2} \right)}$$

I CONTATTI

In genere un contatto metallo / Si da luogo alla formazione di un giunzione rettificante che consente la conduzione solo da metallo verso Si.

Questo effetto è dovuto al fatto che si crea una barriera di potenziale ϕ_B tra metallo e Si che impedisce agli elettroni di transitare da Si al metallo.



Per rendere ohmico un contatto metallo / Si è necessario drogare pesantemente il conduttore all'interfaccia con il metallo.

Con $N_A > 10^{19} \text{ cm}^{-3}$ gli atomi tendono ad aggregarsi in barriere sia per effetto termionico, sia per effetto tunnel.

$$R_c = \rho_c / A$$

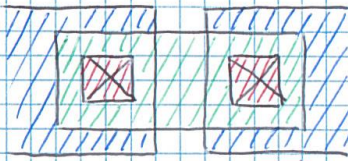
R_c : resistenza di contatto

ρ_c : resistenza specifica di contatto

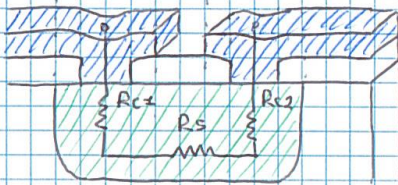
A : Area contatto

Per un contatto ohmico : $\rho_c = 10^{-5} \text{ } \Omega \text{ cm}^2$

MISURA CON TEST PATTERN A 2 CONTATTI



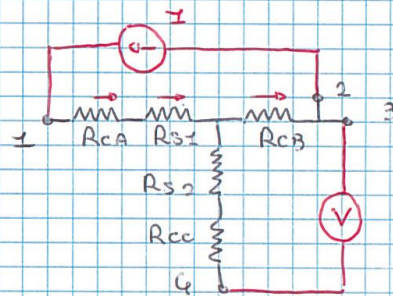
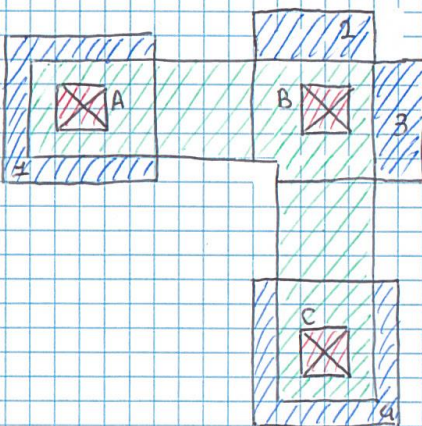
- METAL
- CONTATTO
- DIFFUSIONE



$$R = R_{c1} + R_s + R_{c2}$$

R_s data da un contributo dovuto al $Si\ m^+$ tra i due contatti, un contributo dovuto all'addensarsi della linea di corrente sotto i contatti, un contributo dato dalle linee di corrente che passano uniformi sul contatto.

MISURA CON TEST PATTERN A 4 CONTATTI

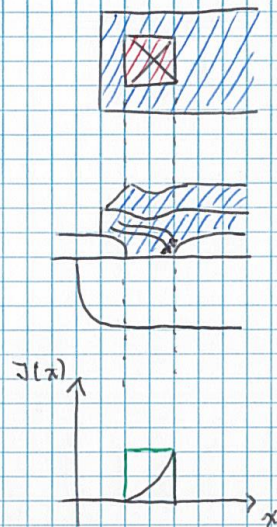


$$R_{CB} = \frac{V}{I}$$

$$V = V_{43}$$

TRAJETTORIA DI I IN UN CONTATTO

I cerca la percorso a resistenza minore.



- percorso ideale
- percorso reale

È necessario fare contatti con superficie ridotta.
Se denso troppa metà costante, non una
schiera di contatti:

