TECNOLOGIE MICROELETTRONICHE

[Fotocopie di Appunti PARTE 2]

A CURA DI ALESSANDRO PAGHI

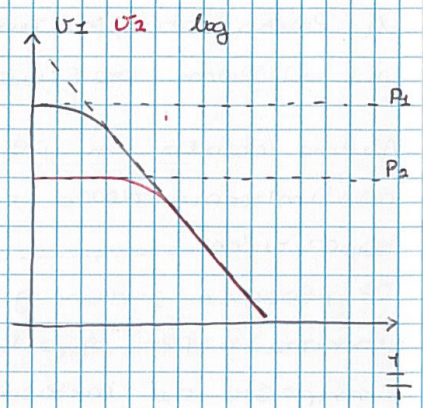
PROFESSORE: Francesco Pieri (http://unimap.unipi.it/cercapersone/dettaglio.php?ri=4932)

LINK AL CORSO ANNO 2016/2017: http://elearn.ing.unipi.it/enrol/index.php?id=785

FREQUENTAZIONE: Consigliata.

LPCVD, CVD A BASSA PRESSIONE

$$v = \frac{1}{N} \cdot \frac{h_G K_S}{h_G + K_S} C_G$$



h_G dipende dalla pressione attraverso la diffusività:

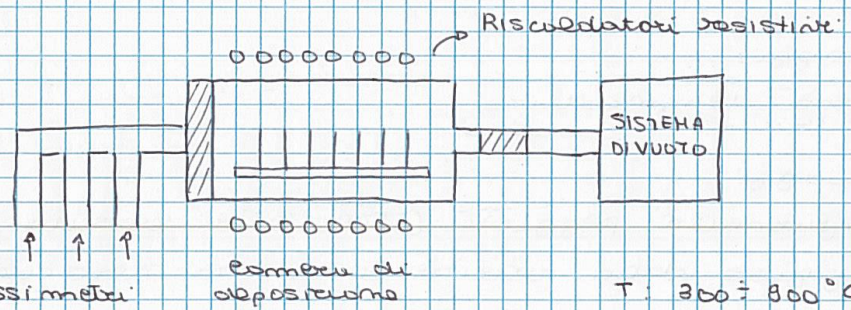
$$h_G = \frac{D_G}{\delta_G} \; ; \quad D_G \propto \frac{1}{P}$$

D_G: diffusività strato stagnante
δ_G: spessore strato stagnante

$D_G \propto \frac{1}{P}$: si diffonde più facilmente se ci sono meno particelle

a bassa pressione il regime controllato dal flusso di immissione a temperature più alte.

$P_1 < P_2 \rightarrow T_{immesso\,1} > T_{immesso\,2}$



T: 300 ÷ 900 °C
P: 1 Torr

Vantaggi:
- maggiore capacità
- maggiore velocità di crescita
- migliore omogeneità del film
- consumo di gas ridotto

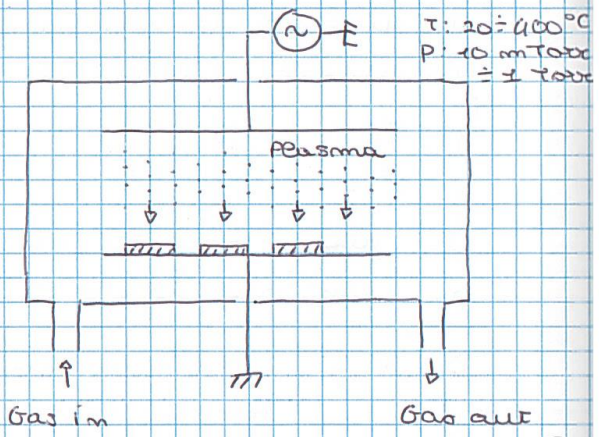
Svantaggi:
- Sistema di vuoto
- Controllo stringente su T

N.B. Adesso scaldo tutta la camera, tanto le particelle nell'atmosfera sono in numero ridotto.

PECDV, CVD ASSISTITA DA PLASMA

A bassa temperatura la velocità di crescita è ridotta ed il film cresciuto è di qualità scadente

Viene creato un plasma all'interno della camera di deposizione.
Il plasma è un gas ionizzato per effetto valanga composto da molecole neutre, ioni ed elettroni.



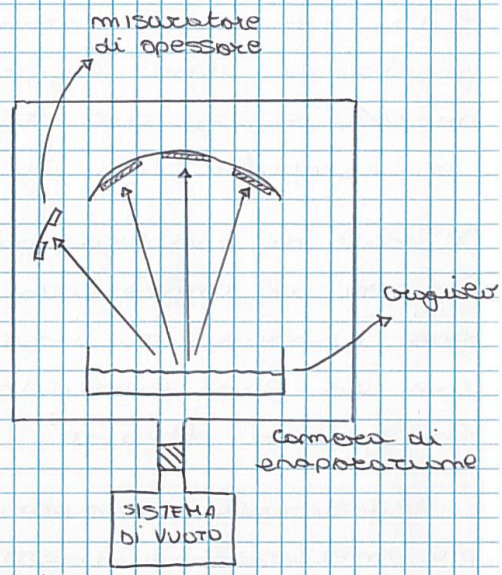
La sorgente di alimentazione RF è necessaria al fine di creare e mantenere il plasma.

Successivamente gli ioni vengono accelerati verso la superficie delle fette.

Vantaggi:
- bassa temperatura

Svantaggi:
- conformità peggiore (velocità di crescita orizzontale maggiore della velocità di crescita verticale)

EVAPORAZIONE - PVD, DEPOSIZIONE FISICA DA FASE VAPORE



L'evaporazione avviene in vuoto ($P < 10^{-5}$ torr), per avere elevati cammini liberi medi:

$$l(mm) = \frac{70\ mm}{P(atm)}$$

$l = 5\ m$ se $P = 10^{-5}$ torr

Il materiale da evaporare è riscaldato per effetto Joule (evaporazione termica) tramite il passaggio di corrente in crogioli di tungsteno, o per impatto di elettroni ad alta energia (evaporazione a fascio elettronico.

Le molecole evaporate si andranno successivamente a posizionare sulla superficie della fetta.
Per misurare lo spessore cresciuto si usa un oscillatore: caricando un film, la massa dell'oscillatore varia e ciò comporta una variazione di frequenza di oscillazione.

La velocità di deposizione dipende:
- dalla velocità di evaporazione
- dalla posizione relativa di sorgente e wafer
- dalla distanza sorgente - wafer
- dal profilo di emissione della sorgente

Una sorgente ideale puntiforme ha un profilo di emissione isotropo (costante in tutte le direzioni).
Un modello più reale, prevede l'uso di una sorgente piana con profilo di emissione Lambertiano (emissione proporzionale a $\cos\theta$)

La posizione della sorgente influenza anche la step coverage. Per risolvere si ruota continuamente la fetta ed inoltre viene riscaldato il bulk, favorendo una veloce diffusione superficiale nel momento in cui le particelle evaporate entrano in contatto con la fetta.

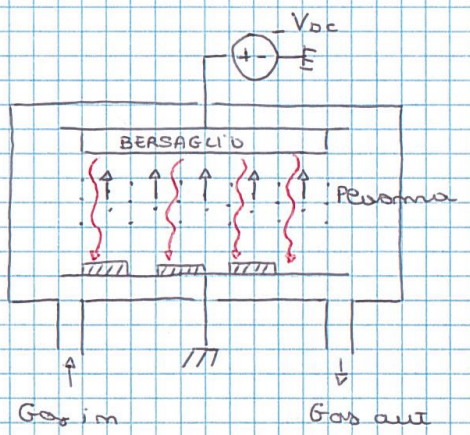
Il rate di evaporazione dipende dalla tensione di vapore del materiale (pressione alla quale la fase gassosa di una sostanza è in equilibrio con la fase liquida) da evaporare.
In genere $P_e > 10^{-3} \div 10^{-2}$ Torr.

È problematico evaporare leghe, perché costituite da più metalli, e dielettrici, perché necessitano di alte temperature.

SPUTTERING

DC SPUTTERING

Il procedimento avviene in vuoto.
Gli atomi del materiale da depositare sono rimossi dal bersaglio tramite bombardamento ionico con gas nobili (Ar^+).
Un gas nobile non si lega con altri atomi.

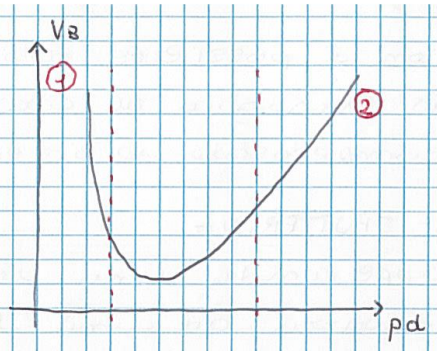


Il plasma viene generato da una scarica nel gas e successivamente accelerato verso il bersaglio da una tensione costante esterna.
Gli atomi rimossi viaggiano nella camera fino a depositarsi sulla superficie del wafer.

La tensione necessaria a provocare la ionizzazione (a contro un plasma) è data dalla legge di Paschen:

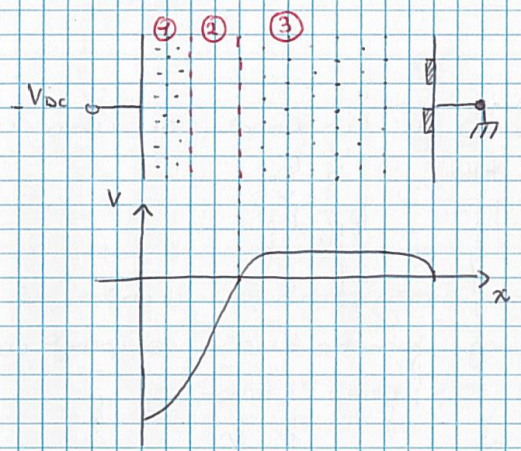
www.alessandropaghi.it

V_B : tensione di ionizzazione
p : pressione del gas
d : distanza tra gli elettrodi



1) Gas troppo rarefatto per avere collisioni
2) gas troppo denso perché gli elettroni alterano abbastanza spazio per ionizzare gli atomi

Distribuzione della caduta di tensione tra gli elettrodi:



1 : Bagliore catodico
2 : Zona oscura catodica
3 : Bagliore negativo

La maggior parte della caduta avviene in prossimità del catodo. Gli ioni che si generano in questa zona sono responsabili dello sputtering del bersaglio

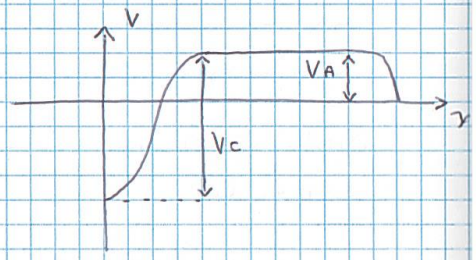
Lo step coverage dello sputtering è migliore di quello dell'evaporazione a causa di una maggiore estensione della sorgente e di collisioni degli atomi sputterati con il plasma. Il film risultato può però contenere impurezze provenienti dall'atmosfera residua.
È possibile depositare per DC sputtering composti o leghe perché i tassi di sputtering delle diverse specie atomiche coincidono coi loro rapporti di composizione nel target.

non è possibile depositare isolanti in quanto si bersaglio si caricherebbe positivamente fino a compensare il potenziale elettrico esterno.

RF SPUTTERING

Applicando una tensione AC, il plasma si polarizza ad una tensione DC positiva.

$$\frac{V_C}{V_A} = \left(\frac{S_A}{S_C}\right)^m \quad , \quad m \simeq 2$$



V_C : V catodo S_C : S catodo

V_A : V anodo S_A : S anodo

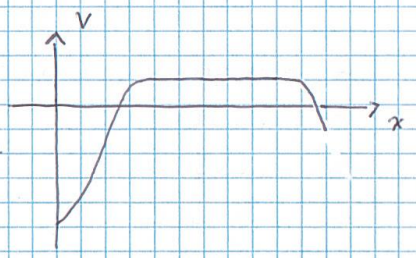
$(S_C < S_A)$

Per permettere lo sputtering di isolanti si usa una tensione AC con $f = 13,56$ MHz.

BIAS SPUTTERING

Imponendo una tensione negativa al wafer è possibile fare sputtering anche sulla superficie della fetta migliorando lo step coverage.

Questo può essere fatto prima dello sputtering, per pulire il wafer, o durante la deposizione per migliorare, come detto precedentemente, lo step coverage.



MAGNETRON SPUTTERING

Per aumentare i tassi di ionizzazione si può usare un campo magnetico per confinare gli elettroni in prossimità del target; questo aumenta la resa di sputtering e quindi la velocità di crescita del film.

Elettromigrazione: le piste di interconnessione si rompono a lungo con certa densità di corrente. Questo fenomeno deriva dal fatto che gli elettroni che trasportano corrente riescono a muovere gli atomi del reticolo di Al ("vento elettronico").
I bordi di grano e i punti tripli di intersezione di atomi è necessario costruire ostacoli grandi.
Si inserta Rame invece che alluminio, per migliorare questa problematica.

EPITASSIA, DEPOSIZIONE DI SILICIO CRISTALLINO

nell'epitassia viene replicata la struttura cristallina del substrato.
Si tratta in genere di una APCVD a 1000 ÷ 1200 °C con precursori silani contenenti idrogeno, effettuata nella zona in cui prevale il trasporto nello strato stagnante.
La velocità di crescita è in funzione della quantità di precursore presente in atmosfera:

$SiCl_4 + 2H_2 \rightarrow Si + 4HCl$
$SiHCl_3 + H_2 \rightarrow Si + 3HCl$
$SiH_2Cl_2 \rightarrow Si + 2HCl$
$SiH_4 \rightarrow Si + 2H_2$

In presenza di cloro è possibile anche fare un'etching della superficie.
Il cloro cattura, inoltre, le impurezze metalliche.

È possibile drogare lo strato depositato con aggiunta di precursori di droganti.
Il problema è che alle temperature di epitassia sono possibili diffusioni nel substrato e ridiffusione in fase gassosa che conduce ad autodrogaggio.

Contromisure da adottare:
- bassa temperatura
- droganti di bassa diffusività per gli strati sepolti (Sb, As)
- abbassare la pressione

DEPOSIZIONE DI POLISILICIO

È in genere deposto tramite LPCVD per avere velocità di crescita accettabili. Si usano gli stessi precursori del silicio epitassiale (SiH_4) a $T = 575 \div 650$ °C.
SiH_4 permette l'uso di basse temperature.

La struttura microscopica dipende da:

- temperatura: T ↑ dim. cristalli ↑
- concentrazione SiH_4: SiH_4 ↑ dim. cristalli ↓
- drogaggio n: dim. cristalli ↑

I cristalli mostrano una struttura colonnare in direzione, preferenzialmente, <110>.

DEPOSIZIONE DI OSSIDO DI SILICIO

Generalmente deposto per CVD

Sono possibili depositi di miscele di ossidi:

- PSG: SiO_2, P_2O_5
- BPSG: SiO_2, P_2O_5, B_2O_3

$$\begin{cases} SiH_4 + O_2 \rightarrow SiO_2 + 2H_2 \\ 4PH_3 + 5O_2 \rightarrow 2P_2O_5 + 6H_2 \\ 2B_2H_6 + 3O_2 \rightarrow 2B_2O + 6H_2 \end{cases}$$

a bassa temperatura (200 ÷ 500 °C); il fosforo fa da trappola per ioni metallici mentre il boro riduce la temperatura di Reflow

- TEOS: $Si(OC_2H_5)_4$

a temperature maggiori (PECVD: 400 °C, LPCVD: 800 °C); si crea un film di migliore qualità

Possibile deposizione per sputtering, PVD ma danno step coverage scadente e film di bassa qualità.

DEPOSIZIONE DI NITRURO DI SILICIO (Si_3N_4)

Deposto per LPCVD o PECVD secondo la reazione:

$$3SiH_4 + 4NH_3 \rightarrow Si_3N_4 + 12H_2$$

Film LPCVD depositati ad alta temperatura (700 ÷ 800 °C) si usano nei LOCOS.

Film PECVD usati come passivazione al termine del back end

DEPOSIZIONE DI ALLUMINIO

Deposto, generalmente, per magnetron sputtering a bassa pressione (per ridurre i bordi di grano) e con bulk riscaldato (per migliorare lo step coverage)

CVD non utilizzabile per prevenire i danni da elettromigrazione.

LITOGRAFIA

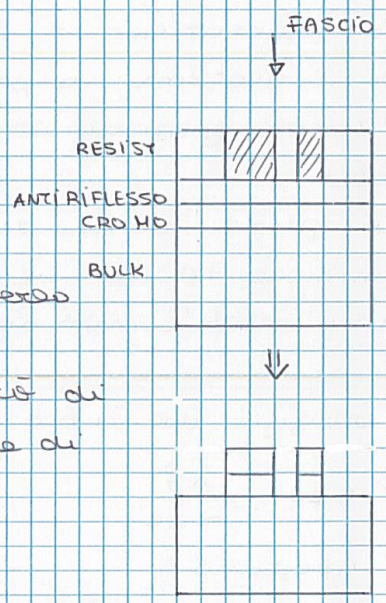
Lo scaling dei dispositivi dipende dall'evoluzione tecnologica della litografia.

Il processo litografico prevede 3 fasi:

1) Layout Design: descrizione della geometria sulla fetta.
2) Fabbricazione delle maschere: una maschera per ogni layer.
3) Esposizione tramite maschera.

Il materiale di cui è composta la maschera deve essere trasparente alla lunghezza d'onda utilizzata e deve avere dilatazione termica ridotta.

MASCHERE PER LITOGRAFIA



L'esposizione viene fatta per e-beam o fascio laser sequenzialmente.

Quando la resist viene colpita diventa solubile e sarà quindi possibile rimuoverla con un solvente.

Successivamente mi preoccuperò di rimuovere strato antiriflesso e di cromo.

SORGENTI DI LUCE UV

La dimensione minima definibile dipende dalla lunghezza d'onda della sorgente utilizzata:

- Sorgente UV tradizionale a vapori di mercurio;
- Sorgente UV attuale: laser ad eccimeri impulsati

Dosi: 100 mJ/cm^2

Oggi: $\lambda = 193$ nm per tecnologie a 32 nm.

SISTEMI DI ESPOSIZIONE

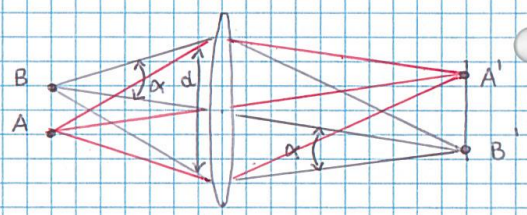
- Contact Printing: maschera appoggiata direttamente sulla fetta.
- Proximity Printing: maschera in prossimità della fetta (μm).
- Projection Printing: utilizza un sistema ottico di proiezione che può andare ad ingrandire la maschera anche di 4X, 5X. La maschera viene protetta con una pellicola situata a bordo distanza dalla stessa, se la polvere si deposita sulla pellicola questo non crea problemi in quanto è solo la maschera ad essere a fuoco.

RISOLUZIONE

La risoluzione è limitata dalla diffrazione.
Per i sistemi a proiezione in campo lontano, l'immagine di un punto risulta essere un disco.
Due punti sono distinguibili, se il centro dell'immagine del secondo punto cade fuori dal disco dell'immagine del primo punto

r: raggio del disco

$$r = 1,22 \cdot \frac{\lambda f}{n \cdot d}$$



d: apertura

n: indice di diffrazione del mezzo. (ACQUA = 1,5)

$$r = 1,22 \cdot \frac{\lambda f}{n d} = 0,61 \cdot \frac{\lambda}{n \operatorname{sen}\alpha} = 0,61 \cdot \frac{\lambda}{NA} = \left[\frac{k_1 \lambda}{NA} \right]$$

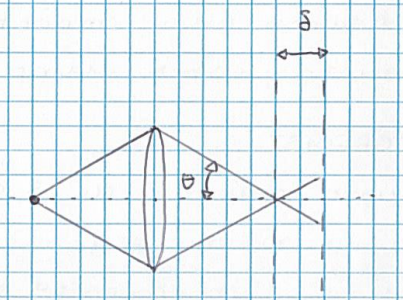
NA: apertura numerica ($NA = \operatorname{sen}\alpha \cdot n$)

$NA \uparrow, \lambda \downarrow, r \downarrow$

L'immagine è un disco anche a causa della profondità di campo limitata.

Profondità di campo: distanza per cui si può supporre che un punto sia sempre a fuoco.
(l'immagine del punto deve essere un disco con raggio costante)

Criterio di Rayleigh:



Condizioni da rispettare:

$$\frac{\delta}{\cos\theta} - \delta < \frac{\lambda}{4}$$

$$\frac{\delta}{1-\theta^2/2} - \delta \simeq \delta \cdot \frac{\theta^2}{2} \simeq \delta \cdot \frac{(NA)^2}{2} < \frac{\lambda}{4}$$

DOF: profondità di campo

$$DOF \simeq 2\delta = \frac{\lambda}{(NA)^2} = \left[\frac{K_2 \lambda}{(NA)^2}\right]$$

K_1, K_2 spesso forniti dal costruttore.

Per i sistemi a contatto o in prossimità, si è in condizioni di campo vicino, per cui la risoluzione vale:

$$r = \sqrt{g\lambda}$$

g: distanza fetta - piano cromo

AUMENTARE LA RISOLUZIONE

OPC (OPTICAL PROXIMITY CORRECTION)

Si modifica la geometria della maschera al fine di ottenere un trasferimento migliore

PHASE SHIFT

necessario per ottenere un pattern di potenza nettamente separato

DOUBLE EXPOSURE

Si utilizzano due maschere e si fanno due esposizioni con dosi diverse, utilizzando un fotoresist con risposta non lineare

DOUBLE PATTERNING

Si usano due maschere ed un hardmask che rimane essere uno strato di dielettrico.

FOTORESIST

È una miscela di 3 componenti:

- una resina organica strutturale
- una componente fotosensibile
- un solvente per regolare la viscosità

Possono essere:

- positivi: più solubili dove colpiti dalle radiazioni ultraviolette
- negativi: meno solubile dove colpiti dalle radiazioni ultraviolette

Si stendono per spinning: una dosa di fotoresist viene depositata al centro della fetta che poi viene messa in rotazione a 4000 ÷ 5000 giri/min.

Spessori tipici: 1 μm

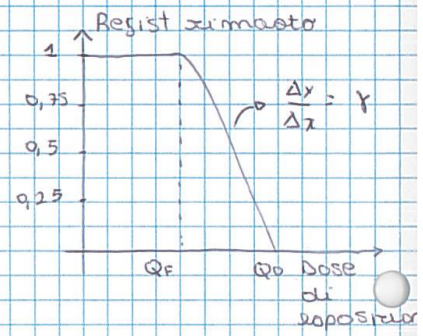
Dosi di radiazioni UV per solubilizzare: 20 ÷ 100 mJ/cm²

Lo spessore di fotoresist rimosso è una funzione della dose di radiazioni UV ricevute:

γ: contrasto del fotoresist

$$\gamma = \left(\log_{10} \left(\frac{Q_F}{Q_0} \right) \right)^{-1}$$

γ ↑ l'idealità del processo aumenta



SEQUENZA DI ESPOSIZIONE

1) DISIDRATAZIONE

Viene riscaldata in atmosfera l'umidità assorbita dalla superficie della fetta, la quale è carica di una pellicola adesiva

2) STRATO ANTIRIFLESSO

È depositato per spinning, riduce la creazione di onde stazionarie tra fotoresist e fetta.

3) STRATO DI ADESIONE

È depositato per spinning, migliorata l'adesione del fotoresist

4) FOTORESIST

È depositato per spinning

5) PRE - BAKING

cottura della fetta al fine di solidificare il fotoresist. Rimuove inoltre buona parte del fotoresist residuo

6) ESPOSIZIONE

La fetta viene esposta alle radiazioni UV

7) POST - EXPOSURE BAKE

cottura post esposizione al fine di ridurre le onde stazionarie

8) SVILUPPO

La fetta viene spruzzata o immersa in un solvente, in maniera tale che il fotoresist esposto venga rimosso

9) POST - BAKING

Cottura finale per migliorare l'aspetto meccanico del fotoresist ed eliminare la parte di solvente residua.

ATTACCHI

È il processo che prevede la rimozione di una parte di film depositato. È il passo successivo della litografia.

Fasi:

- deposizione del film
- deposizione fotoresist
- esposizione fotoresist tramite maschera
- sviluppo del fotoresist
- ATTACCO
- Rimozione del fotoresist

NON IDEALITÀ DELL'ATTACCO

Un processo ideale è anisotropo e selettivo.

In realtà, un attacco reale è parzialmente isotropo e scarsamente selettivo.

ANISOTROPIA

misura il rapporto tra velocità di attacco verticale e quella laterale.

$$A = 1 - \frac{U_L}{U_V}$$

$A = 1$: attacco completamente anisotropo

$A = \emptyset$: attacco completamente isotropo

SELETTIVITÀ

misura la velocità di attacco del materiale prescelto rispetto ad altri materiali.

$$S_{12} = \frac{U_1}{U_2}$$

È richiesta alta selettività rispetto alla maschera e rispetto al materiale del substrato.

TIPI DI ATTACCO

Classificazione in base alla fase di attacco:

- WET ETCH : fase liquida
- DRY ETCH : fase gassosa

Classificazione in base al meccanismo di attacco:

- ATTACCO FISICO : erosione del film mediante trasferimento di energia per impatto di ioni attenuti da un plasma
  → bassa selettività, alta anisotropia
- ATTACCO CHIMICO : decomposizione del film con formazione di prodotti di reazione solubili o volatili
  → alta selettività, bassa anisotropia.

ATTACCHI WET

È un attacco puramente chimico e isotropo.

Vantaggi:

- alta selettività
- semplice ed economico

Svantaggi:

- controllo dimensionale scadente
- rischio di contaminazioni

Questa tecnica è utilizzata per attacchi su tutta la fetta → BLANCKED

Si usa per:

- SiO_2, con solvente acido cloridrico più acqua o acido cloridrico diluito
- Si_3N_4
- Al
- Polisilicio
- Si monocristallino
- Fotoresist, con solvente acetone.

ATTACCHI DRY

Si utilizza un reattore per RF SPUTTERING per creare il plasma.
Anziché inserire all'interno ioni di un gas inerte, si inserisce delle sostanze un gas gassoso necessarie per creare una chimica di plasma voluta.
Per attaccare Si: CF_4, O_2

nel plasma si formano:
- ioni dei gas reagenti (CF_3^+) responsabili dell'attacco fisico.
- Radicali liberi, cioè atomi / molecole neutre altamente reattivi (F, CF_3) che sono responsabili dell'attacco chimico.

Dell'interno del reattore, l'attacco chimico, condotto dai radicali liberi, non dipende dalla ddp applicata.
Dipende invece dalla ddp applicata, l'attacco fisico.

In reattori si compie un attacco chimico assistito da ioni: gli ioni accelerati sulla superficie del film cedono energia agli atomi della superficie orizzontale.
Quando i radicali liberi raggiungono le superfici orizzontali, provocano più velocemente un direzione verticale perché spinti dagli ioni accelerati. Con chimiche opportune si può formare molecole inibitrici sulla superficie. Il bombardamento ionico rimuoverà gli inibitori solo dalle superfici orizzontali dove attaccheranno successivamente i radicali liberi.
Il grado di anisotropia può essere variato, regolando il rate di deposizione degli

i migliori rispetto all'etch rate.

EFFETTI INDESIDERATI

- caricamento positivo della maschera: si crea un campo elettrico che devia gli ioni.
- Erosione della maschera
- Trenching: creazione di una trincea vicino alla parete, per via dell'attacco fisico
- Undercutting: isotropia dell'attacco a causa dell'etching chimico.

PLASMA ETCH

attacco quasi esclusivamente chimico che può essere fatto in reattori piani, ottenendo throughput inferiore ma migliore uniformità, o reattori Barrel, ottenendo throughput elevato ma peggiore uniformità.

- meccanismo chimico
- bassa energia
- alta pressione
- alta selettività
- bassa anisotropia

REACTIVE ION ETCH

È un attacco chimico assistito da ioni, nel quale la tensione RF è applicata all'elettrodo che contiene i wafer in modo da avere una maggiore caduta in DC tra plasma e wafer ed aumentare il bombardamento ionico.

- meccanismo assistito
- energia intermedia
- pressione intermedia
- selettività intermedia
- anisotropia intermedia

SPUTTER ETCH

attacco fisico tramite plasma di Argon

- meccanismo fisico
- alta energia
- bassa pressione
- bassa selettività
- alta anisotropia

APPLICAZIONI ATTACCHI DRY

La scelta dei gas da utilizzare dipende da:

- reattività dei prodotti di reazione
- selettività ottenibile

SiO_2:

chimiche a base di fluoro che danno attacco principalmente chimico: $CF_4 + SiO_2 = SiF_4 + O_2$

Per aumentare anisotropia:

- diminuire pressione
- aumentare tensione
- aumentare frazione di carbonio

Si poli:

chimico a base di fluoro, ma non danno selettività rispetto a SiO_2, quindi:

- si aggiunge ossigeno
- si usano chimiche a base di cloro

Al:

chimiche a base di cloro

Fotoresist e composti organici:

Si utilizza un plasma di ossigeno che agisce per ashing, un attacco chimico che agisce per ossidazione.

CONTESTO STORICO

ANNI '60

Tecnologie integrate basate su BJT e resistori.
La tecnologia fondava i propri cardini su strati sepolti e epitassie; l'isolamento tra i componenti era realizzato tramite giunzioni polarizzate in inversa

maschere: 6 +

ANNI '70

Tecnologia NMOS e PMOS.

maschere: 6 +

ANNI '80

Tecnologia CMOS

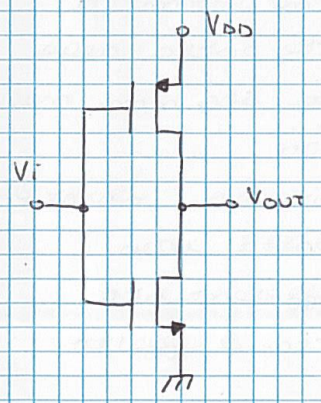
maschere: 12 +

ANNI '00

Tecnologia CMOS moderna twin well, con 10 + livelli di metal.

maschere: 12 - 50 +

INVERTER CMOS



PROCESSO CMOS

ISOLAMENTO (LOCOS)

LOCOS: LOC al Oxidation of Silicon

Si parte da una fetta di silicio monocristallino debolmente drogata p e si cresce SiO_2 per ossidazione termica della durata di 45 min a 800°C.

Si crea un film di SiO_2 spesso 20 nm che prende il nome di Pad Oxide.

Si deposita quindi Si_3N_4 per LPCVD a 800°C, creando un film di spessore 60 nm.

Si procede quindi alla stesura di fotoresist mediante la tecnica dello spinning, ottenendo, per lo strato depositato, uno spessore di 1 μm.

Si procede quindi ad una fase di fotolitografia ultravioletta che mira ad asportare il fotoresist dalle zone interessate. Si rimuove dunque il nitruro di silicio scoperto attraverso un attacco DRY reactive ion etch.

Si rimuove a questo punto il fotoresist superfluo tramite l'utilizzo di solventi organici, acido solforico o attacco asching.

Si procede ad una nuova ossidazione termica della durata di 90 min a 1000°C, che porta alla creazione di uno strato di spessore 500 nm nelle zone in cui Si_3N_4 è stato rimosso.

Per ciò della non idealità del processo, interviene anche una diffusione laterale che porta alla creazione di struttura con spessore differenziato, alterando la geometria originale con l'effetto BIRD'S BEACKS.

A causa dei bird's beacks, l'area attiva si riduce di circa 1 μm.

Non è possibile depositare direttamente Si_3N_4 su Si per incompatibilità meccanica: l'interfaccia stessa causerebbe una riduzione della qualità del Si, riducendo di fatto la mobilità del materiale.

Si rimuove a questo punto lo strato di Si_3N_4 tramite un attacco in soluzione acquosa di acido ortofosforico a 80°C.

IMPIANTO P-WELL

Faccio una fotolitografia della p-well.
Drogo la zona interessata tramite impiantazione ionica utilizzando ioni di Boro (B^+).
Utilizzo una dose di impianto di 10^{13} cm^{-2}, con un'energia di 200 keV.
Rimuovo il fotoresist e compio un breve passo termico (annealing) della durata di 10 s a 1000°C per attivare elettricamente la dose e compensare il danno inferto al reticolo cristallino.

IMPIANTO N-WELL

Faccio una fotolitografia della n-well.
Drogo la zona interessata tramite impiantazione ionica utilizzando ioni di Fosforo (P^+).
Utilizzo una dose di impianto di 10^{13} cm^{-2}, con un'energia di 400 keV.
Segue un annealing di 10s a 1000°C.

DRIVE-IN DELLE WELL

Si procede adesso ad un trattamento termico in atmosfera inerte per la diffusione in profondità dei droganti.
Il processo dura 4h a 1000°C e raggiunge una profondità di 2÷3 μm.
Il risultato è un drogaggio finale non uniforme $10^{16} \div 10^{17}$ cm^{-3}.

AGGIUSTAMENTO DELLA V_{TH} NMOS

Il drogaggio ottenuto tramite drive in non garantisce il valore delle tensioni di soglia.
Si procede ad un ulteriore fotolitografia della p well e successivamente ad una nuova impiantazione con ioni di Boro a basso

energia (50 KeV) con dose 10^{12} cm^{-3}.
L'energia fornita è minore in quanto gli ioni non devono penetrare in profondità.

AGGIUSTAMENTO DELLA V_{TH} PMOS

Si procede ad una fotolitografia della n_well e successivamente ad una nuova impiantazione con ioni di arsenico (As) a bassa energia.

CRESCITA OSSIDO DI GATE

Si rimuove il Pad Oxide con un attacco in soluzione acquosa di HF della durata di pochi secondi.
Si cresce infine l'ossido di silicio di gate per ossidazione termica a 800°C della durata di 1 h, ottenendo uno spessore finale < 10 nm.

DEPOSIZIONE DEL POLISILICIO DI GATE

Si deposita a questo punto il polisilicio di gate tramite LPCVD, ottenendo uno spessore finale di 400 nm.
Il polisilicio ha bassa conducibilità e quindi alta resistenza: si depone poly già drogato con fosforo oppure si droga già depositato tramite impiantazione ionica di atomi di fosforo.
Questo permette di abbassare la resistenza ottenendo

$R/\square = 10\ \Omega$.

DEFINIZIONE POLISILICIO DI GATE

Si compie una fotolitografia al fine di definire il polisilicio di gate.
Per rimuovere il poly in eccesso si mette un attacco selettivo in plasma.
Infine si rimuove il fotoresist.
Questo passo definisce le dimensioni W, L del canale del transistore.

IMPIANTO LDD NMOS

LDD: Lightly Doped Drains, Drain debolmente drogato

Per ridurre il campo elettrico massimo alla giunzione, si inserisce un doppio drogaggio:
- il primo, debole, per le giunzioni DB e SB;
- il secondo, forte, per le giunzioni D-contatto e S-contatto.

Analizziamo adesso la prima fase di drogaggio (LDD).

Si compie una fotoincisione della p-wells.

Si impiantano i pozzetti di Source e di Drain del nMOS tramite impiantazione ionica con atomi di As, utilizzando una dose di 10^{12} cm^{-2} a 20 keV.

Si usa una bassa energia in quanto vogliamo un drogaggio superficiale.

Il processo è autoallineato con il polisilicio di gate: non è necessario coprire di fotoresist il poly perché maschera da solo la wells.

È da sottolineare che parte della dose finisce sotto il gate: $L_{REALE} < L_{IDEALE}$.

È necessario che la dose impiantata non penetri in profondità perché il gate riesce a modulare solo la corrente superficiale.

IMPIANTO LDD PMOS

Si rimuove il precedente fotoresist e si compie una fotoincisione della n-wells.

Si impiantano i pozzetti di Source e di Drain del pMOS tramite impiantazione ionica con atomi di B, utilizzando una dose di 10^{12} cm^{-2} a 10 keV

Da considerare il fatto che gli atomi di B impiantati nel poly di gate non ne attraversano

il funzionamento.

DEPOSIZIONE DEL DIELETTRICO LDD

Si rimuove il precedente strato di fotoresist e si deposita ossido di silicio conforme alla superficie per CVD

RIATTACCO DEL DIELETTRICO LDD

Si compie un attacco in plasma sul dielettrico LDD fortemente anisotropo (attacco solo verticale), al fine di formare due spacer ai lati del gate i quali risulteranno essere utili durante la seconda fase di drogaggio di Source e Drain.
Il passo è autoallineato e non richiede maschere.

IMPIANTO DEI POZZETTI S-D (NMOS)

Ci si appresta a far crescere per CVD un sottile strato di SiO_2 (10 nm), per migliorare la qualità delle impiantazioni successive riducendo il fenomeno del channelling.
Si compie una fotolitografia dei pozzetti di source e drain nMOS e si effettua un'impiantazione ionica con ioni di As, per la formazione di zone drogate n^+ all'interno dei pozzetti di Source e Drain nel transistore NMOS.

IMPIANTO DEI POZZETTI S-D (PMOS)

Si rimuove il precedente fotoresist e si compie una nuova fotolitografia dei pozzetti di source o di drain del PMOS. Si effettua un'impiantazione ionica con ioni di B, per la formazione di zone drogate p^+ all'interno dei pozzetti di Source e drain nel transistore PMOS.

DRIVE IN

Si rimuove il fotoresist e si compie un passo termico di 30 min a 900 °C mirato a far diffondere i droganti nelle posizioni finali e a recuperare il danno

causato durante l'impiantazione precedente.

FORMAZIONE DEI CONTATTI

Si rimuove l'ossido di silicio depositato precedentemente per evitare il fenomeno di channeling tramite una immersione in fase liquida.
Si depone adesso Titanio, tramite la tecnica dello sputtering, per la formazione dei contatti, per un totale spessore di 100 nm.
Si usa Titanio e non alluminio perché il secondo tende a diffondere nel silicio.
Lo sputtering non è una tecnica conforme: lo spessore non è costante su tutte le superfici.
Si compie adesso un trattamento termico in atmosfera inerte della durata di 1 min a 600°C.
Sulle superfici di contatto Si - Ti, si forma $TiSi_2$ (Silicuro di Titanio), che contribuisce a migliorare le proprietà del contatto rendendo più stabile l'interfaccia evitando che nel Si diffondano altri materiali.
Si ottiene una resistenza finale: $1\,\Omega/\square$
Sulle superfici di contatto Si poly - Ti, si forma comunque $TiSi_2$, che porterebbe formazione di uno strato a bassa resistenza se questo contribuisce ad abbassare la resistenza vista sul gate: $R_{TiSi_2} \simeq 1/10\ R_{Si\,poly}$
La restante porzione di Ti che non ha reagito con Si, forma nitruro di Titanio, TiN, con le molecole di azoto (N) presenti in atmosfera.
TiN è un buon conduttore ($10\,\Omega/\square$) e risulta essere molto stabile dal punto di vista chimico impedendo interdiffusione di droganti nel Si.
Si compie una fotolitografia dei contatti e si rimuove il TiN in eccesso con un attacco WET.

BACK - END

Si rimuove il precedente strato di fotoresist e si depone ossido di silicio in maniera conforme o BPSG, per uno spessore finale di 1 μm.
È importante inserire uno spessore notevole di SiO_2, in quanto la sovrapposizione di due piste porta alla formazione di condensatore.
È necessario planarizzare la superficie di SiO_2 appena costituita, per far ciò esistono diversi metodi, tra cui:

- Reflow
- Etch back
- CMP (Chemical Mechanical Polishing)

Si compie una fotolitografia delle vie nei punti in cui intendiamo accedere a S, D o G. L'attacco dell'ossido da rimuovere viene fatto in plasma.
Si rimuove adesso il fotoresist e si depone il materiale conduttore necessario a creare la via.
Si depone in un primo momento TiN, per la formazione di un primo strato di spessore 10 nm, che funge da strato adesivo e da barriera per l'interdiffusione di droganti esterni.
Si deposita successivamente Tungsteno (W), sempre per CVD con precursore WF_6.
La deposizione blanket ha portato alla cortocircuitazione di tutti i contatti: dobbiamo procedere alla rimozione di conduttore in eccesso e alla planarizzazione della superficie.
Per far ciò si utilizza la CMP.
Adesso riusciamo essere formate le vie di W.
Si depone uno strato di metallo (Al) per sputtering ottenendo uno spessore di 400 nm.
Si compie adesso una prima litografia delle connessioni, attaccando successivamente Al con un attacco selettivo in plasma di Cl_2.

Si rimuove infine il fotoresist in eccesso.
Per la formazione delle metalli successive, sono necessarie due maschere per linee (vie + connessioni).
Man mano che le metalli aumentano, gli spessori ed i pitch aumentano progressivamente in quanto i segnali devono arrivare più lontani.
Le linee più larghe può essere spesse parecchi micrometri.
Oggi non si usa più Al, ma Cu per gli strati di metal.

INTEGRAZIONE CMOS

Sequenza di processo: integrazione dei singoli passi di processo.

Livelli di complessità:

- modificare prestazioni di un singolo componente → modifica di un singolo passo di processo
- aggiunta di un nuovo componente → 1 passo in più.
- Shrinking di una tecnologia (riduzione di tutte le dimensioni) al fine di risparmiare area ed aumentare la resa di dispositivi ottenuti per wafer.
- Costruzione di una tecnologia a partire da una già nota (CMOS → SOI-CMOS)
- Costruzione di una nuova tecnologia.

Si usano simulatori:

- di processo: forniscono una descrizione geometrica e dei drogaggi
- di dispositivo: forniscono modelli costitutivi per i componenti
- circuitali: forniscono una rappresentazione di circuiti in termini di correnti - tensioni.

ISOLAMENTO

Essendo tutti i componenti realizzati sullo stesso tipo di Si, tutti i componenti sono potenzialmente cortocircuitati tra loro.

ISOLAMENTO A GIUNZIONE

Utilizzato nella tecnologia a BJT, prevedeva la separazione dei componenti tramite giunzioni pn polarizzate in inversa.

- grande ingombro laterale a causa della diffusione
- Si crea una capacità legata alla zona di svuotamento.

ISOLAMENTO LOCOS

SEMI - RECESSED LOCOS

Prevede l'ossidazione di Si al fine di creare dei blocchetti di SiO_2 in grado di separare due componenti

- grande ingombro laterale a causa dei becchi di uccello
- alcune permanenti
- migrazione del drogante di channel stop nella zona attiva, che porta ad un'alterazione della V_{TH}.

Il channel stop è una zona fortemente drogata (p^+ se bulk è p) situata sotto al blocchetto di SiO_2 precedentemente creato.

FULLY - RECESSED LOCOS

Prevede l'ossidazione di Si al fine di creare dei blocchetti di SiO_2, in seguito ad un etch preventivo del silicio

- riduzione dei becchi di uccello
- migliora permanenti
- forte stress del silicio in prossimità degli spigoli che porta ad una riduzione della mobilità nella zona attiva.

ISOLAMENTO STI (SHALLOW TRENCH ISOLATION)

Fasi partendo da un wafer di Si monocristallino:

- ossidazione pad oxide
- deposizione Si_3N_4
- deposizione fotoresist
- fotolitografia trench di isolamento
- attacco della superficie tramite RIE
- rimozione fotoresist
- ossidazione rapida per ridurre i difetti superficiali
- Deposizione SiO_2 per CVD
- Rimozione SiO_2 in eccesso.
- Planarizzazione tramite CMP
- ... si torna al processo CMOS.

CMP (CHEMICAL MECHANICAL POLISHING)

Lappatura meccanico - chimica tramite particelle abrasive e reagenti chimici che consente di ottenere un'elevata planarità ma con un danneggiamento della superficie

ISOLAMENTO SOI (SILICON ON INSULATOR)

Richiede un substrato dedicato ma permette di avere WELL isolate tra loro e dal drain.
Permette di risolvere i problemi legati alla tecnologia CMOS standard tra cui la creazione di un transistor parassita (es: D pMOS, N-wells, p sub)

- riduzione capacità di giunzione
- riduzione delle regole di spacing tra wells
- struttura ridotta all'assorbimento di particelle energetiche
- minore corrente di saturazione inversa (leakage) tra D e B
- minore passaggio di corrente tra source e drain sottosoglia
- eliminazione resistenze di wells (latch-up)

MOS su SOI

PD-SOI (Partially Depleted MOSFET)

Con le gate alla max tensione, Si non è completamente svuotato

- simile al MOS tradizionale
- semplice da fabbricare
- caratteristiche influenzate dal body floating

FD-SOI (Fully Depleted MOSFET)

Con le gate alla max tensione, Si completamente svuotato.

- tecnologicamente più complesso
- bassi consumi
- transconduttanza maggiore

FABBRICAZIONE DI SUBSTRATI SOI

Si parte da due fette Si monocristallino.
Si cresce SiO_2 su una fetta e si compie successivamente una saldatura termica tra le due fette. Si rimuove successivamente il Si in eccesso e si rifinisce l'interfaccia con una CMP.
Creiamo quindi un Bulk Si - SiO_2 - Si.

BESOI (Bond and Etch Back SOI)
Si compie una saldatura termica tra la fetta su cui abbiamo cresciuto SiO_2 e l'altra con Si mono. A questo punto si rimuove la parte di Si in eccesso con una CMP.
- nessuna limitazione degli spessori degli strati
- processo costoso
- da utilizzare per applicazioni di potenza che richiedono Si spesso.

NANO CLEAVE
Cresciamo un film di SiGe stressato a compressione su una fetta di Si mono. Cresciamo sempre su SiGe, Si mono per epitassia, quindi effettuiamo un'ossidazione termica per creare un film di SiO_2.
Si compie una saldatura termica tra questa fetta e una di Si mono e si rompe il risultante wafer lungo la linea di stress di SiGe tramite un getto di gas.
- ottima qualità superficie finale, non richiede CMP
- processo di rottura a bassa temperatura.

SOITEC SmartCut
Si ossida una fetta di Si mono e dopodiché si procede ad un'impiantazione ionica con atomi di idrogeno, creando una zona debole ad una profondità stabilita.