

Analisi, Descrizione e Implementazione di un'Architettura FILTRO FIR a Coefficienti Variabili, di Alessandro Paghi e Lorenzo De Marinis.

Fase di Analisi Pre Descrizione

Strumenti utilizzati:

- MATLAB R2014a;
- Simulink;
- Filter Design & Analysis Tool;

Progetto di un Filtro con i seguenti Parametri:

- Response Type: Lowpass;
- Design Method: Equiripple;
- Filter Order: 10;
- Density Factor: 20;
- Frequency Specifications:
Fs = 50000 Hz
Fpass = 9600 Hz
Fstop = 12000 Hz

***ANALISI DELLO SCRIPT CoefficientAnalysis.m

CoefficientAnalysis.m compie le seguenti operazioni:

- Calcolo del valore LSB sulla base dei Bit utilizzati per descrivere i Coefficienti in notazione Fixed Point;
- Calcolo dei nuovi valori dei Coefficienti quantizzati (1);
- Confronto tra i Coefficienti Quantizzati ed i Coefficienti in notazione Double Floating Point;
- Trascrizione dei Coefficienti Quantizzati in un file di testo;

In oltre, lo script si occupa anche di eseguire le seguenti operazioni al fine di provvedere ad una simulazione del Filtro generato con Simulink:

- Calcolo del valore LSB sulla base dei Bit utilizzati per descrivere la parte frazionaria dei Coefficienti in notazione Fixed Point;
- Calcolo dei nuovi valori dei Coefficienti quantizzati (2);
- Confronto tra i Coefficienti Quantizzati (1), i Coefficienti Quantizzati (2) ed i Coefficienti in notazione Double Floating Point;

Confronto tra le seguenti Architetture:

Architettura 1:

- Response Type: Lowpass;
- Design Method: Equiripple;
- Filter Order: 10;
- Density Factor: 20;
- Frequency Specifications:
Fs = 50000 Hz
Fpass = 9600 Hz
Fstop = 12000 Hz

Bit di Quantizzazione = 8 bit

Architettura 2:

- Response Type: Lowpass;
- Design Method: Equiripple;
- Filter Order: 50;
- Density Factor: 20;
- Frequency Specifications:
Fs = 50000 Hz
Fpass = 9600 Hz
Fstop = 12000 Hz

Bit di Quantizzazione = 8 bit

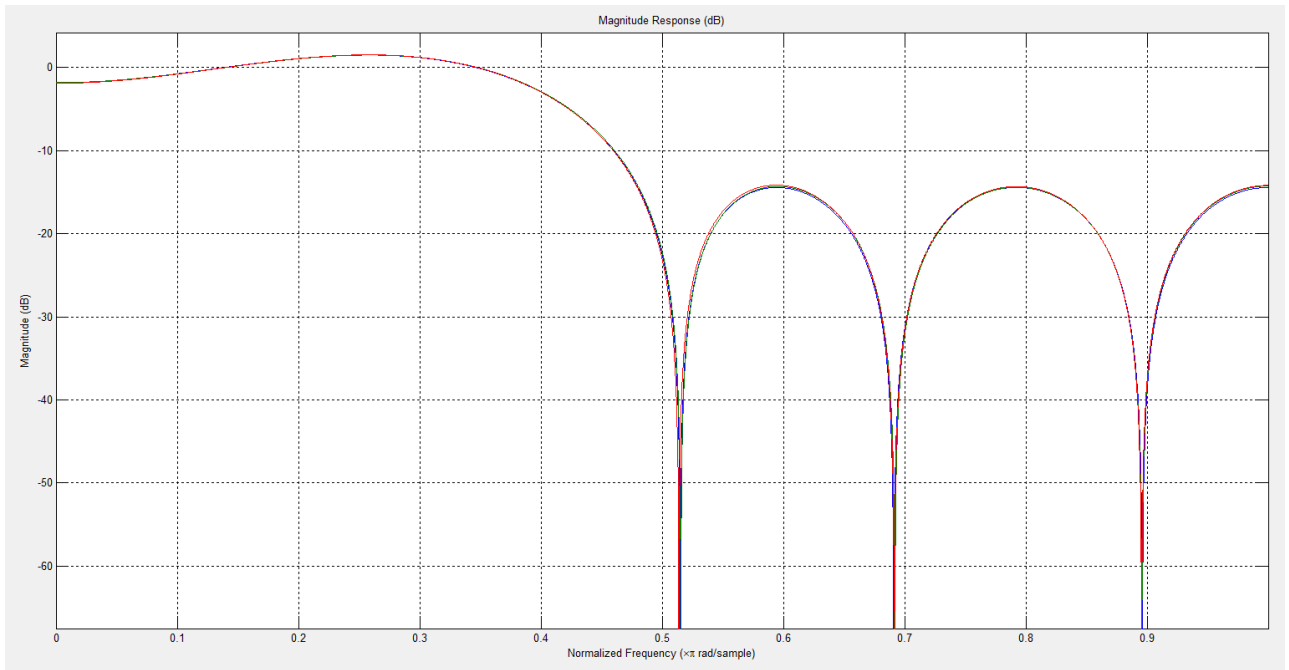
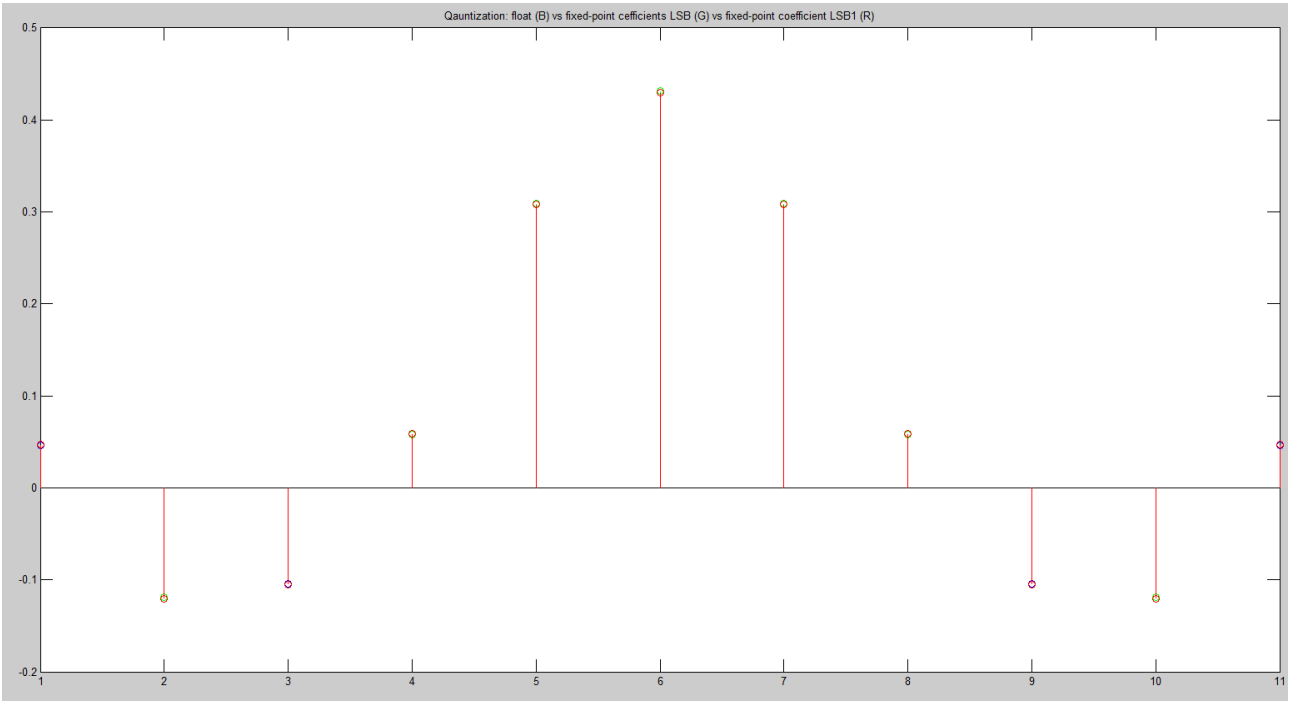
Architettura 3:

- Response Type: Lowpass;
- Design Method: Equiripple;
- Filter Order: 5;
- Density Factor: 20;
- Frequency Specifications:
Fs = 50000 Hz
Fpass = 9600 Hz
Fstop = 12000 Hz

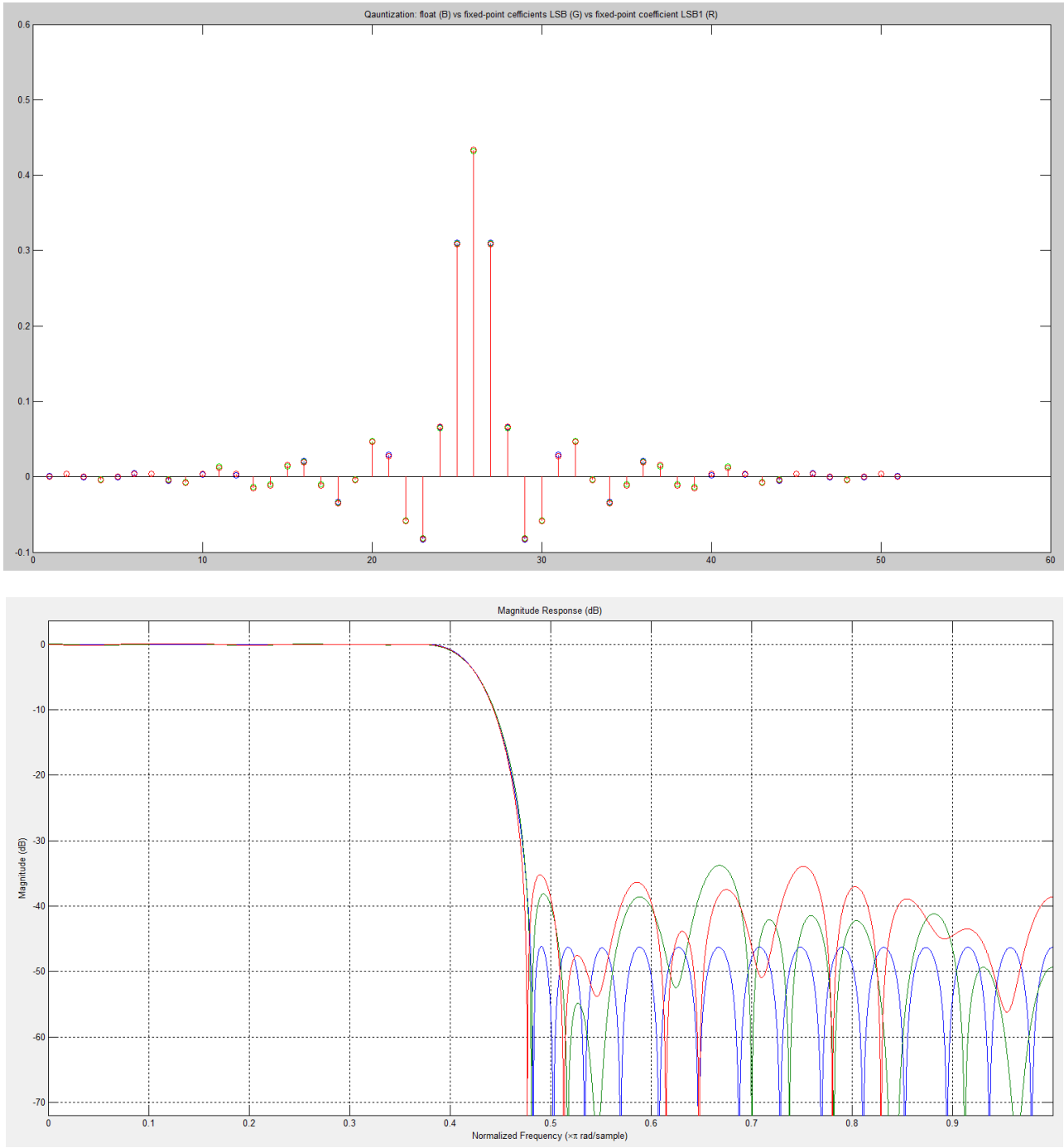
Bit di Quantizzazione = 16 bit

Lo script restituisce tutte le informazioni necessarie al fine di selezionare una corretta quantizzazione, in termini di errore assoluto compiuto sui coefficienti e sulla funzione di trasferimento del filtro.

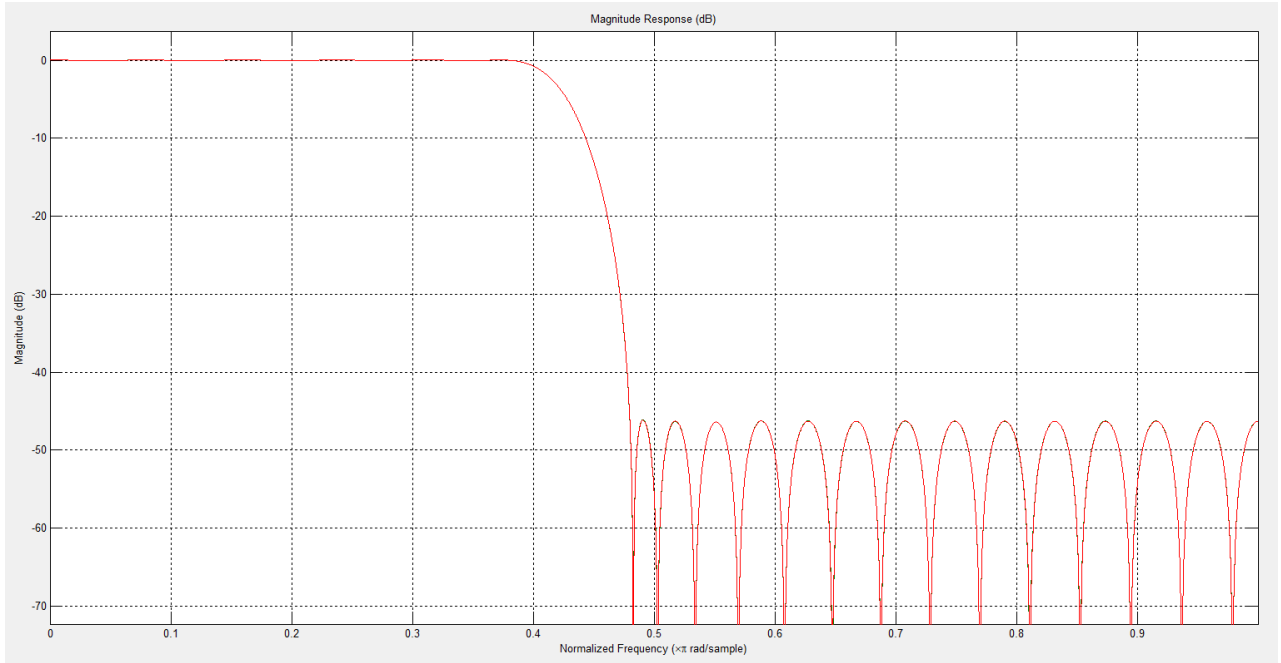
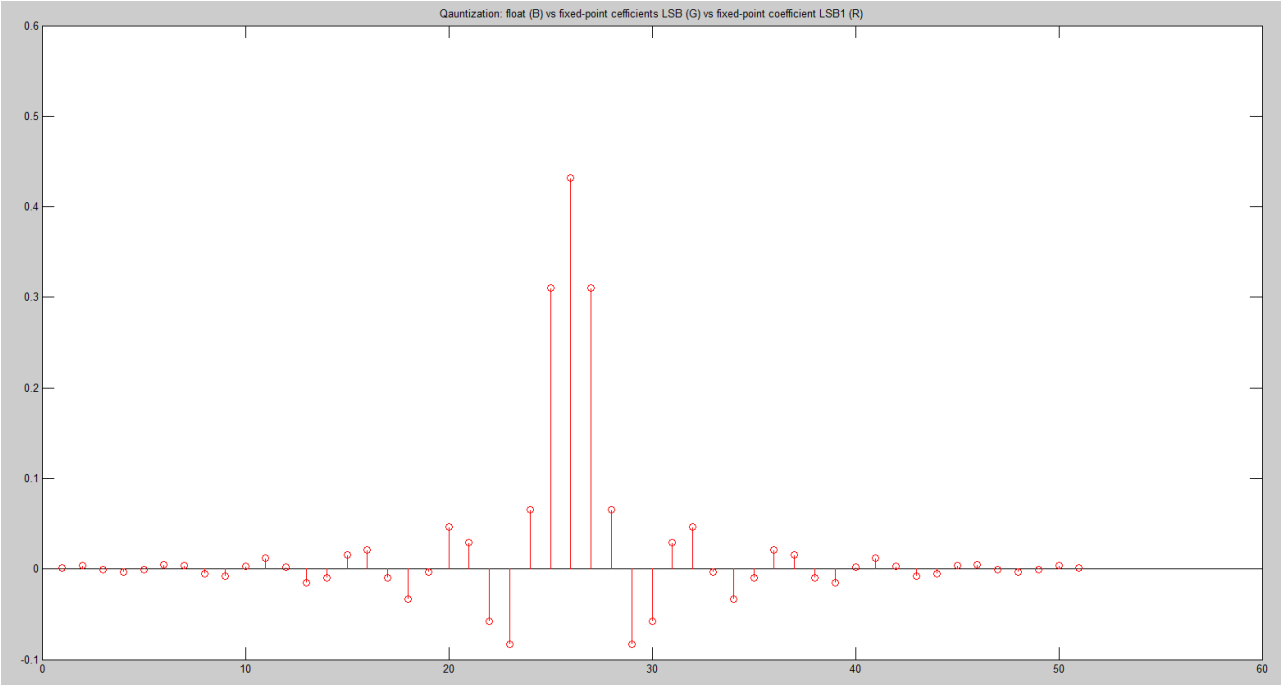
Architettura 1



Architettura 2



Architettura 3



Analisi, Simulazione e Confronto tramite Filter Design & Analysis Tool e Simulink di due architetture con le seguenti caratteristiche:

Architettura 1:

- Response Type: Lowpass;
- Design Method: Equiripple;
- Filter Order: 10;
- Density Factor: 20;
- Frequency Specifications:
Fs = 50000 Hz
Fpass = 9600 Hz
Fstop = 12000 Hz

- Filter Arithmetic: Double Floating Point
- Structure: DIRECT FORM FIR

Architettura 2:

- Response Type: Lowpass;
- Design Method: Equiripple;
- Filter Order: 10;
- Density Factor: 20;
- Frequency Specifications:
Fs = 50000 Hz
Fpass = 9600 Hz
Fstop = 12000 Hz

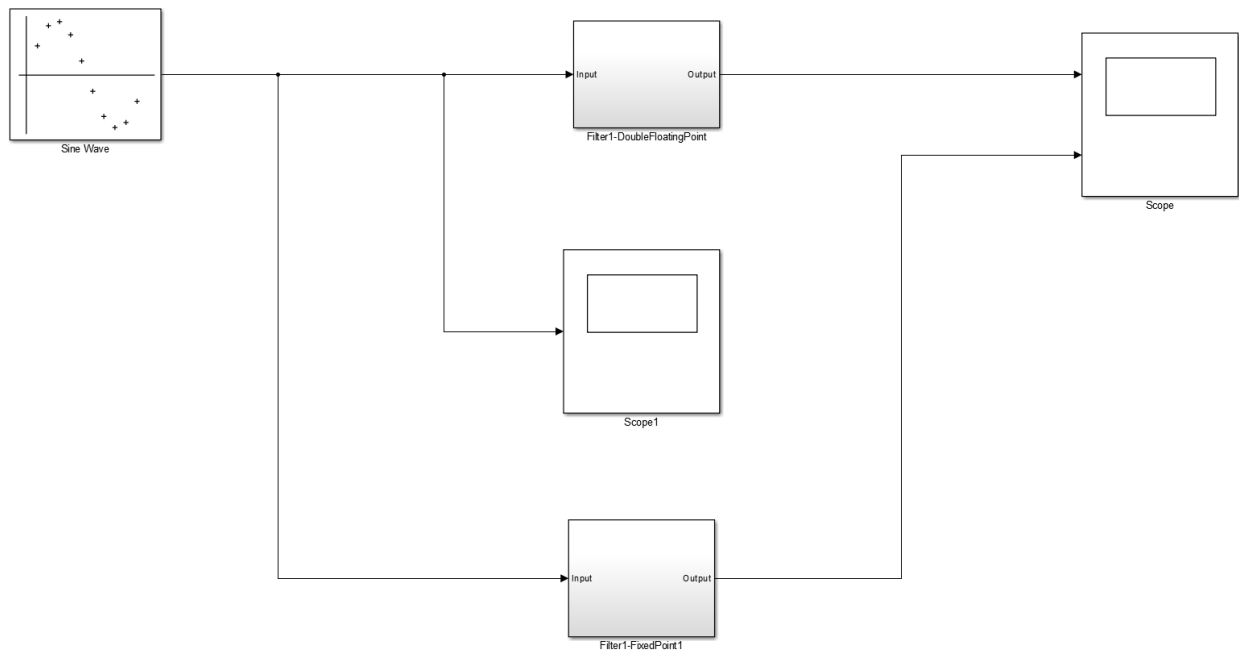
- Filter Arithmetic: Fixed Point
Numerator Word Length = 8, Numerator Frac. Length = 8;
Input Word Length = 6, Input Frac. Length = 5;
Output Word Length = 8, Output Frac. Length = 6;
Product Word Length = 14, Product Frac. Length = 13;
Accumulator Word Length = 15, Accumulator Frac. Length = 13;
- Structure: DIRECT FORM FIR

Filter Design & Analysis Tool non permette di inserire il valore dell'LSB, ma permette di inserire il numero di bit destinati alla parte frazionaria del numero espresso in notazione Fixed Point, ottenendo così $LSB=2^{(-F)}$.

L'architettura Analizzata Tramite Simulink non rispecchierà a tutti gli effetti l'architettura successivamente descritta in linguaggio VHDL; i risultati prodotti varieranno a causa dei diversi valori di LSB utilizzati.

***ANALISI DEL FILE SimulinkArchAnalysis.slx

SimulinkArchAnalysis.slx permette di analizzare i risultati forniti da Architettura 1 e confrontarli con i risultati ottenuti tramite Architettura 2.

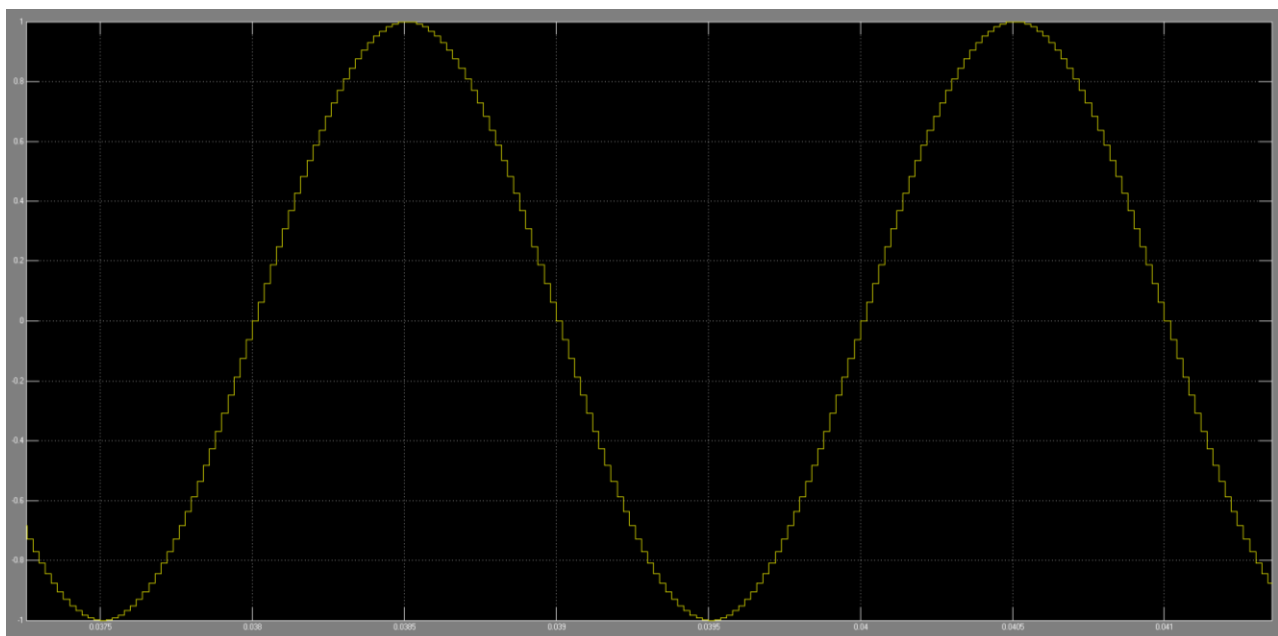


Sample Time = $1/F_s = 20 \text{ us}$

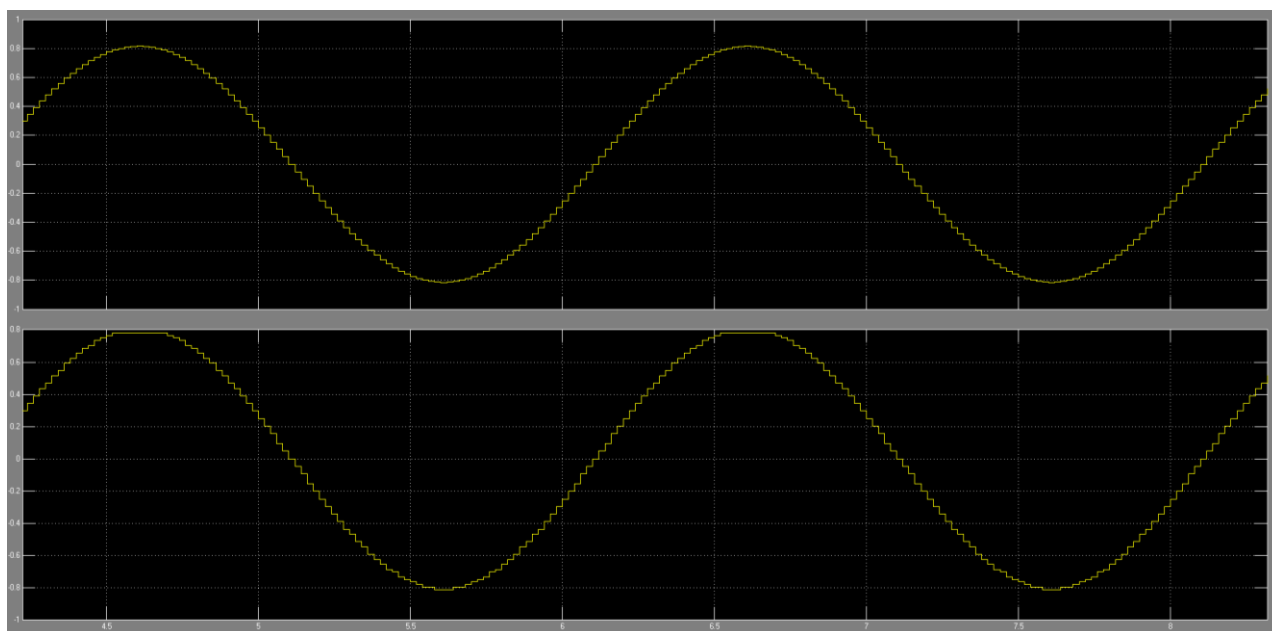
Simulation:

Sample per Period = 100. $\rightarrow F_{\sin} = 1/(\text{Sample per Period} * \text{Sample Time}) = 500 \text{ Hz}$.

Input Sin Wave



Output Scope (in alto Architettura 1, in basso Architettura 2)



I risultati ottenuti sono concordi con quanti espresso dalla funzione di trasferimento del filtro plottata da Filter Design & Analysis Tool.

Fase di Descrizione VHDL

Strumenti utilizzati:

- Active-HDL Student Edition;

Si procede a descrivere Architettura 2.

***ATTENZIONE: Dobbiamo ricordare che i coefficienti forniti all'Architettura VHDL hanno un LSB diverso da quelli forniti all'Architettura Simulink per i motivi sopra citati.

Si procede a descrivere l'architettura implementata utilizzando il blocco RAM, successivamente eliminato per via del fatto che il Simulatore Vivado non riusciva a sintetizzare parti di codice descritte in tale blocco. A tal proposito, è stata prevista la sostituzione tramite dei blocchi LUT.

FlipFlopD.vhd contiene la descrizione di un Flip Flop di tipo D.

RegisterPIPO.vhd contiene la descrizione di un Registro PIPO costituito da N Flip Flop D in parallelo.

RAM.vhd contiene la descrizione di un blocco RAM: la struttura prevede l'utilizzo di un segnale di ingresso addr per la selezione del coefficiente richiesto all'interno del file di testo coefficient.txt attraverso l'utilizzo della funzione FIND_VALUE; il coefficiente viene poi fornito in uscita attraverso il segnale coefficient.

L'utilizzo di questa architettura mi permette di variare i coefficienti del filtro senza dover modificare il codice VHDL prodotto.

LutCoefficient.vhd contiene la descrizione di un blocco LUT sostitutivo del blocco RAM per i motivi precedentemente citati.

FirFilter.vhd contiene la descrizione di un Filtro FIR.

Si individuano le seguenti porte:

- clk : porta di input del clock;
- reset : porta di input del segnale di reset attivo alto;
- x: porta di input a Zbit dei campioni in ingresso al filtro;
- y: porta di output a Mbit dei campioni in uscita dal filtro;

Si procede alla descrizione dell'architettura DIRECT FORM.

Funzione FIND_TAPS: recupera dal file coefficient.txt il numero di Tappi del filtro.

Funzione FIND_BITS: fornisce il numero di Bit necessari per indicizzare il numero di Tappi.

Si utilizzano i seguenti componenti:

- RegisterPIPON con Nbit = Zbit;
- LutCoefficient in alternativa a RAM.

Vengono istanziati dei segnali di appoggio interni all'architettura e successivamente viene generata la struttura del sistema.

FirFilter_TB.vhd contiene la descrizione del Test Bench del Filtro FIR.

Si procede, come definito precedentemente, a descrivere un'architettura con

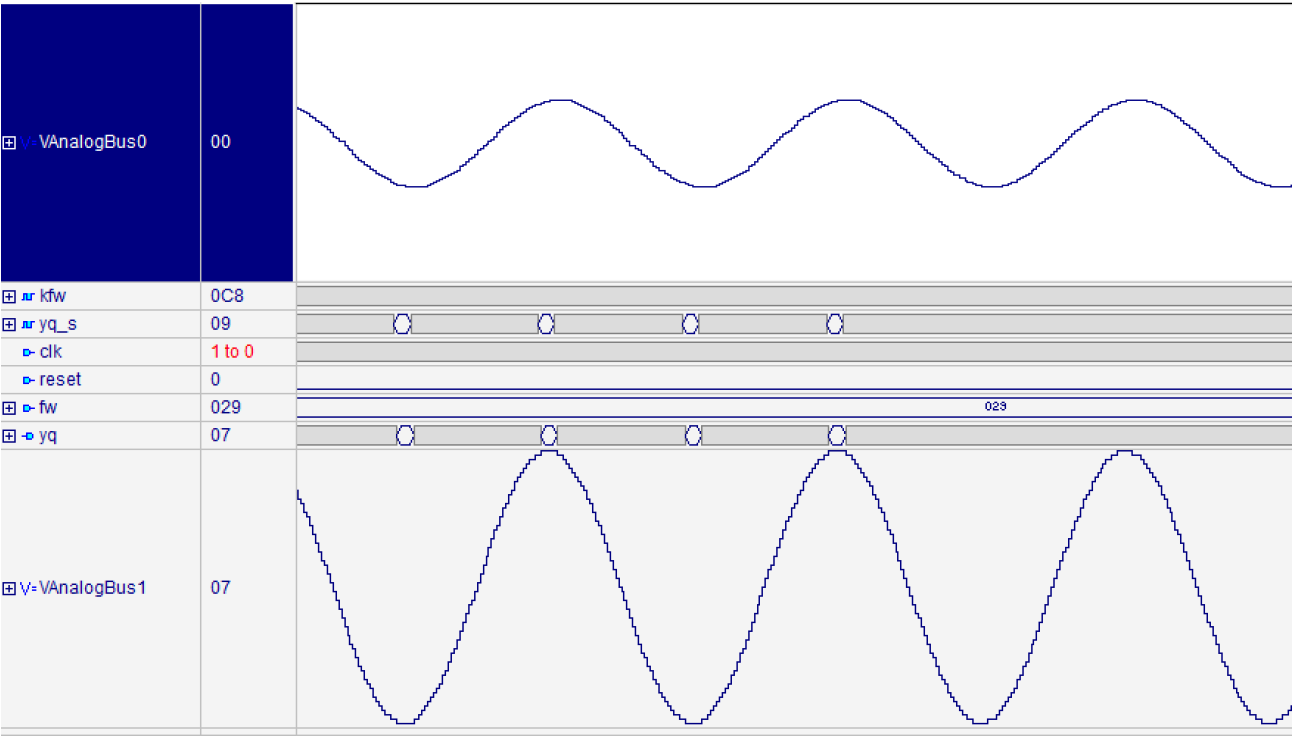
- Zbit = 6;
- Mbit = 8;
- Kbit = 8;

Si utilizza il DDFS costruito durante il corso al fine di fornire in ingresso al filtro una serie di campioni di un'onda sinusoidale.

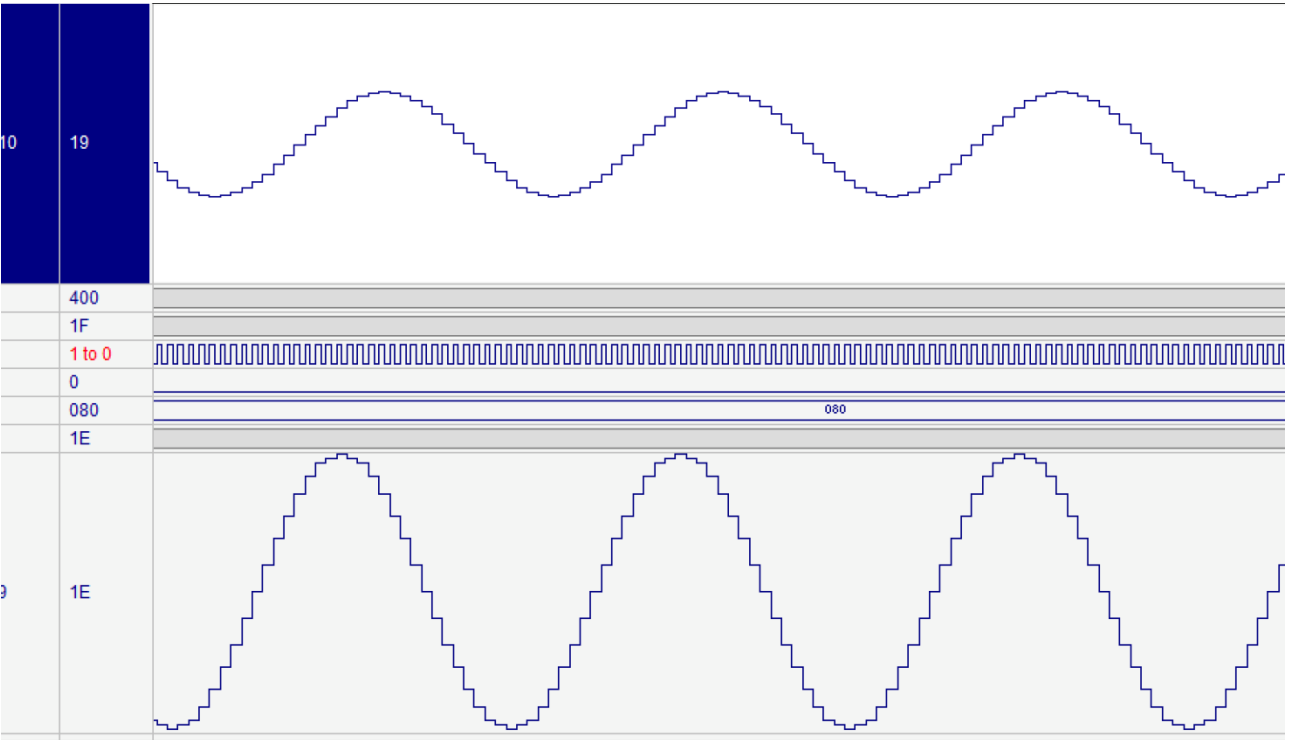
Naturalmente i campioni in uscita dal DDFS sono rappresentati con un numero di bit pari a 6.

Risultati delle Simulazioni più significative:

Sollecitazione con campioni di onda sinusoidale $f=500\text{Hz}$ (in basso), uscita del filtro (in alto).



Sollecitazione con campioni di onda sinusoidale $f=1560\text{Hz}$ (in basso), uscita del filtro (in alto).



22



F4



Dalle prime due simulazioni si può notare che sinusoidi di frequenza inferiore a 9 600 Hz vengono riportate in uscita senza subire distorsioni.

Andando su in frequenza e inserendo forme d'onda più squadrate si nota come il filtro riporti in uscita una forma d'onda più sinusoidale.

Fase di Sintesi e Implementazione

Strumenti Utilizzati:

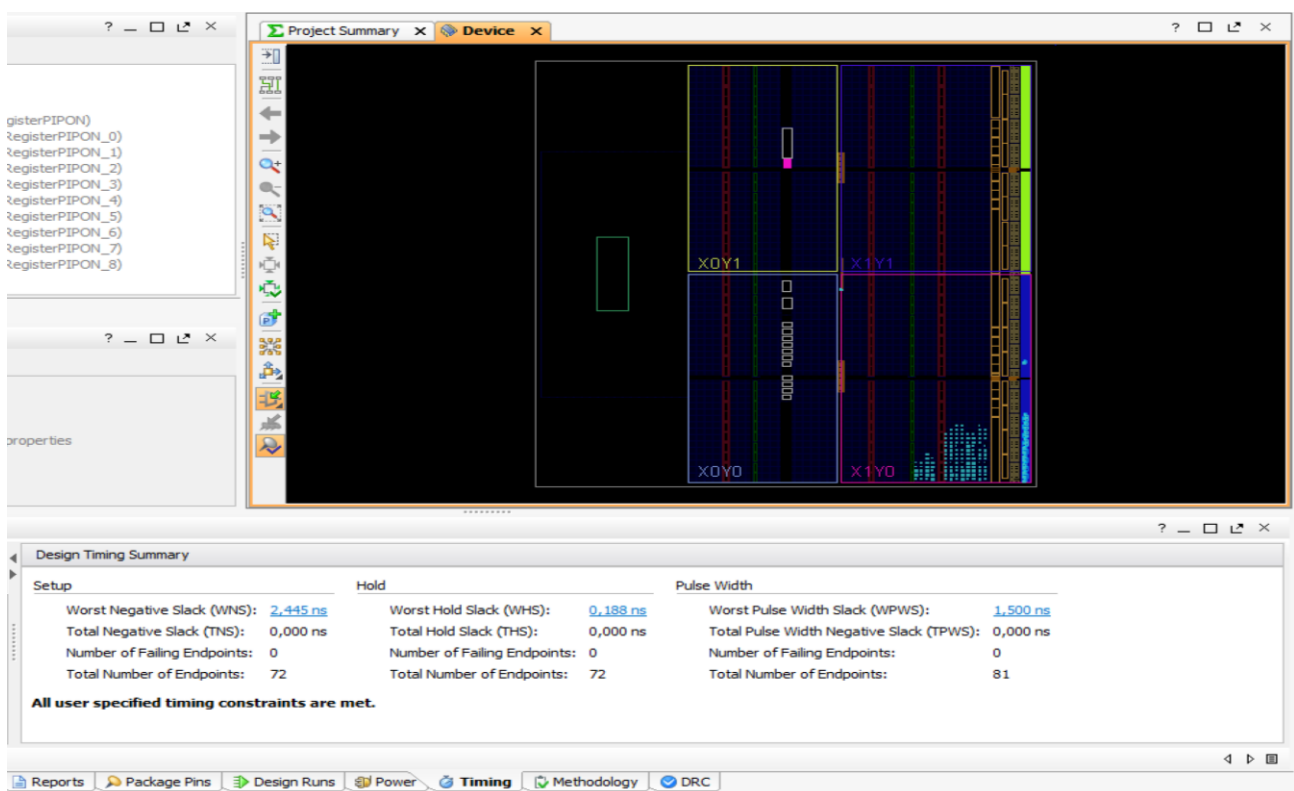
- Xilinx Vivado Design Suite

Si procede ora alla sintesi e all'implementazione su FPGA (ZYNQ XC7Z010-1CLG400C) per valutare la frequenza di clock massima, il cammino critico e il consumo di potenza.

Dopo alcune prove risulta che il periodo di Clock minimo è di 1.6 ns (625 MHz).

Di seguito sono riportati dati di implementazioni a frequenza di clock crescente:

Tck = 4 ns



Timing

Worst Negative Slack (WNS): 2.445 ns
Total Negative Slack (TNS): 0 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 72

[Implemented Timing Report](#)

Setup

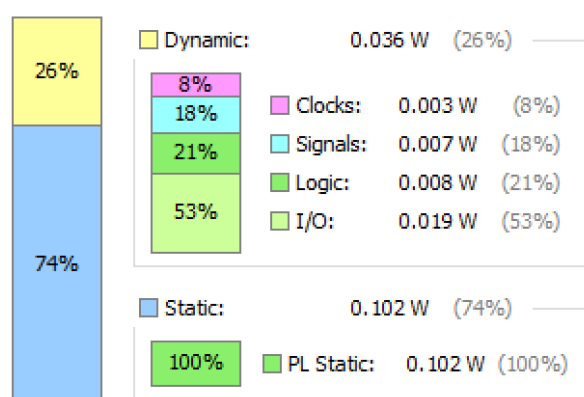
Hold Pulse Width

Power

Total On-Chip Power: 0.139 W
Junction Temperature: 26,6 °C
Thermal Margin: 73,4 °C (6,2 W)
Effective θ_{JA} : 11,5 °C/W
Power supplied to off-chip devices: 0 W
Confidence level: [Low](#)

[Implemented Power Report](#)

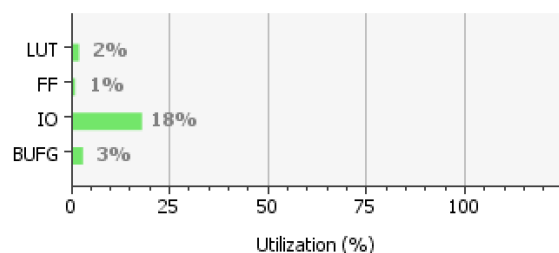
Power



Summary

On-Chip

Utilization - Post-Implementation



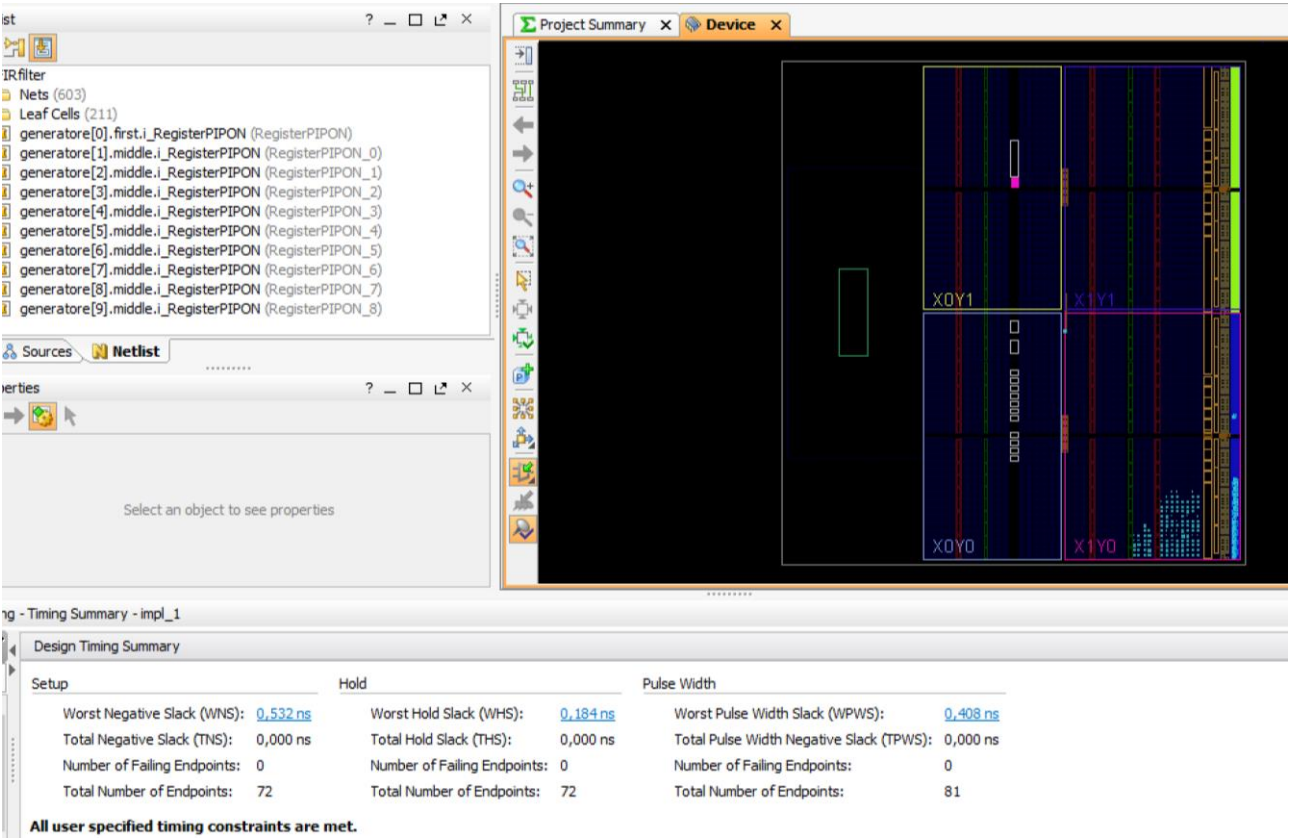
Graph

Table

Post-Synthesis

Post-Implementation

Tck = 2 ns



Timing

Worst Negative Slack (WNS): 0.532 ns
Total Negative Slack (TNS): 0 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 72

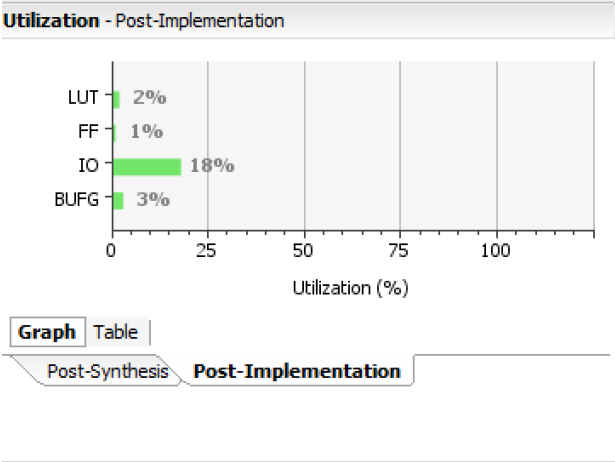
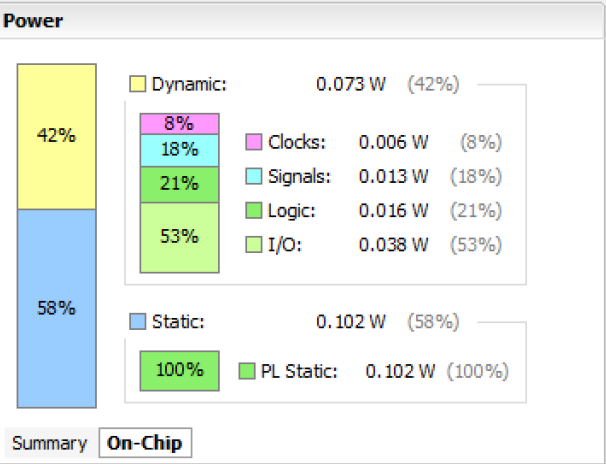
[Implemented Timing Report](#)

Setup Hold Pulse Width

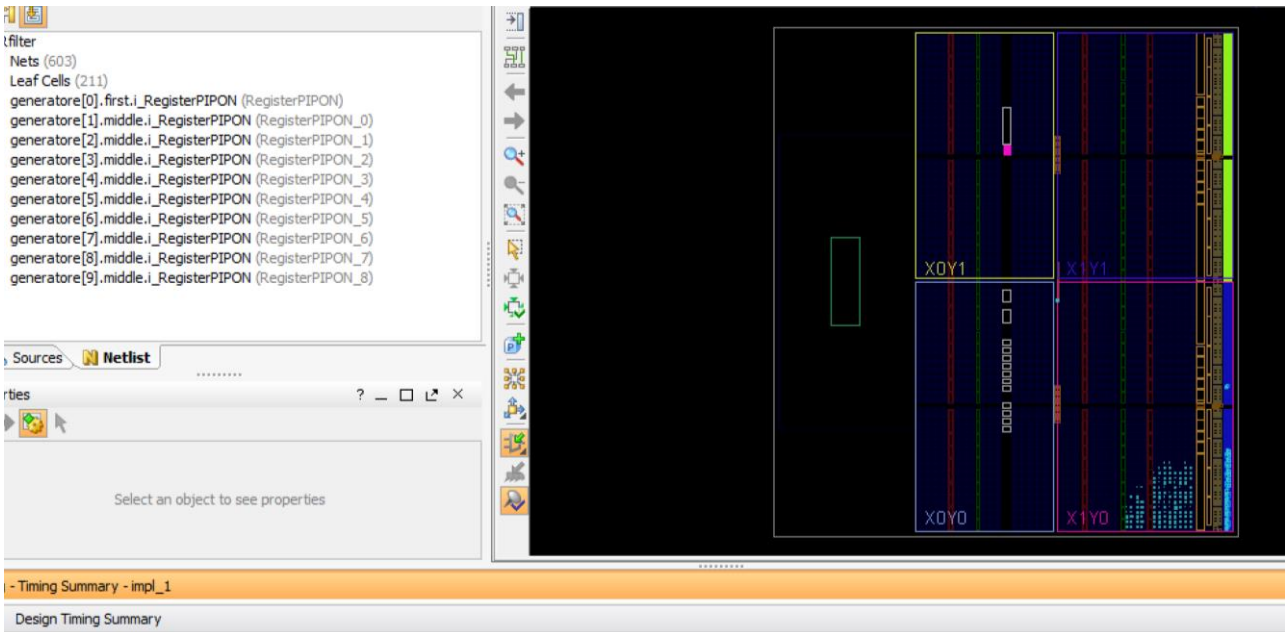
Power

Total On-Chip Power: 0.175 W
Junction Temperature: 27,0 °C
Thermal Margin: 73,0 °C (6,1 W)
Effective θ_{JA} : 11,5 °C/W
Power supplied to off-chip devices: 0 W
Confidence level: [Low](#)

[Implemented Power Report](#)



Tck = 1.6 ns



Design Timing Summary			
Setup		Hold	Pulse Width
Worst Negative Slack (WNS): 0.477 ns		Worst Hold Slack (WHS): 0.149 ns	Worst Pulse Width Slack (WPWS): 0.008 ns
Total Negative Slack (TNS): 0,000 ns		Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0		Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 72		Total Number of Endpoints: 72	Total Number of Endpoints: 81
All user specified timing constraints are met.			

Timing

Worst Negative Slack (WNS):	0.477 ns
Total Negative Slack (TNS):	0 ns
Number of Failing Endpoints:	0
Total Number of Endpoints:	72

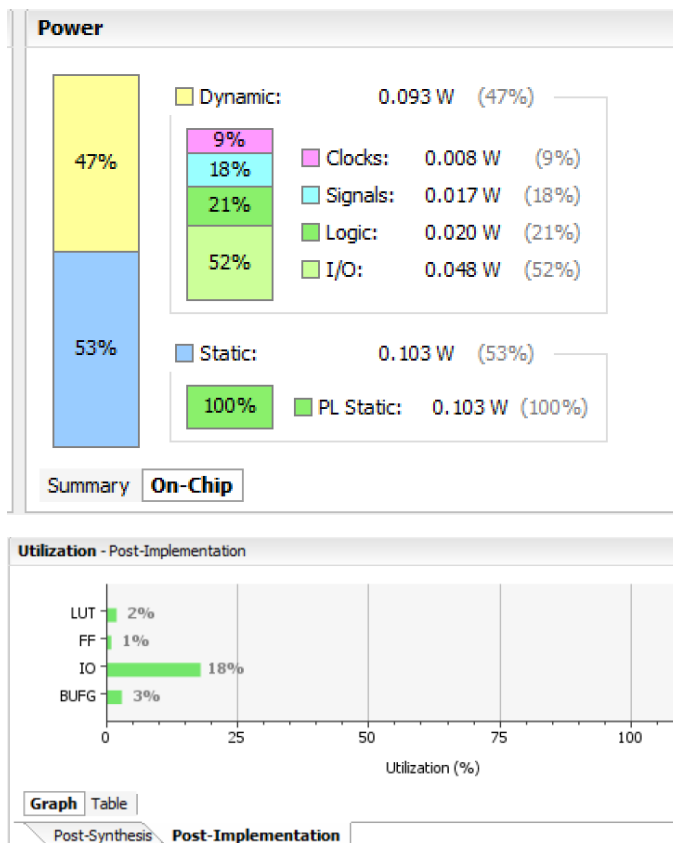
[Implemented Timing Report](#)

Setup | Hold | Pulse Width

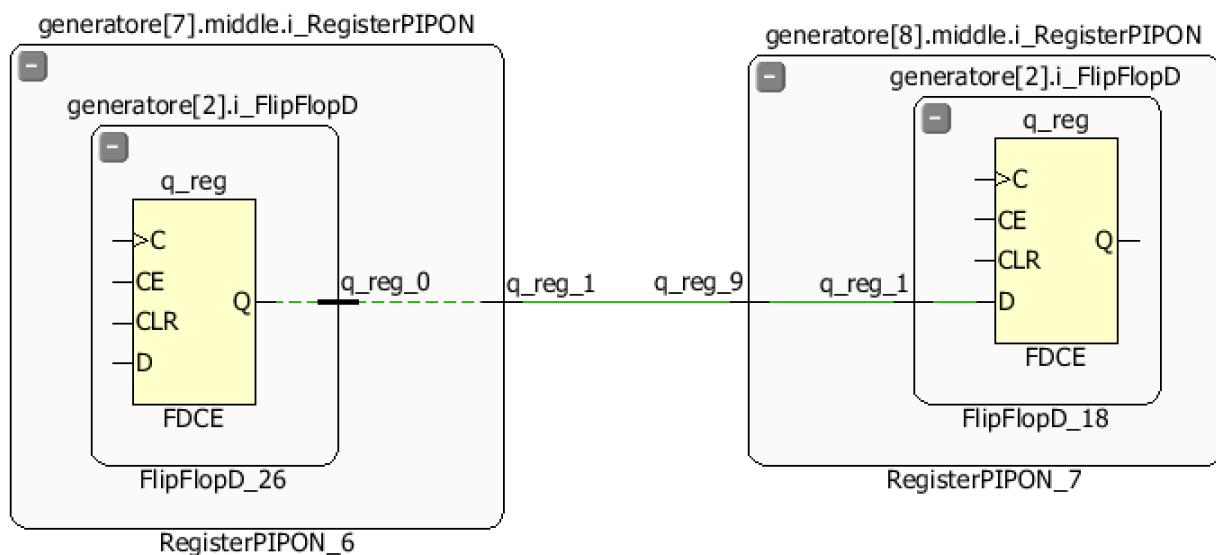
Power

Total On-Chip Power:	0.195 W
Junction Temperature:	27,3 °C
Thermal Margin:	72,7 °C (6,1 W)
Effective θ_{JA} :	11,5 °C/W
Power supplied to off-chip devices:	0 W
Confidence level:	Low

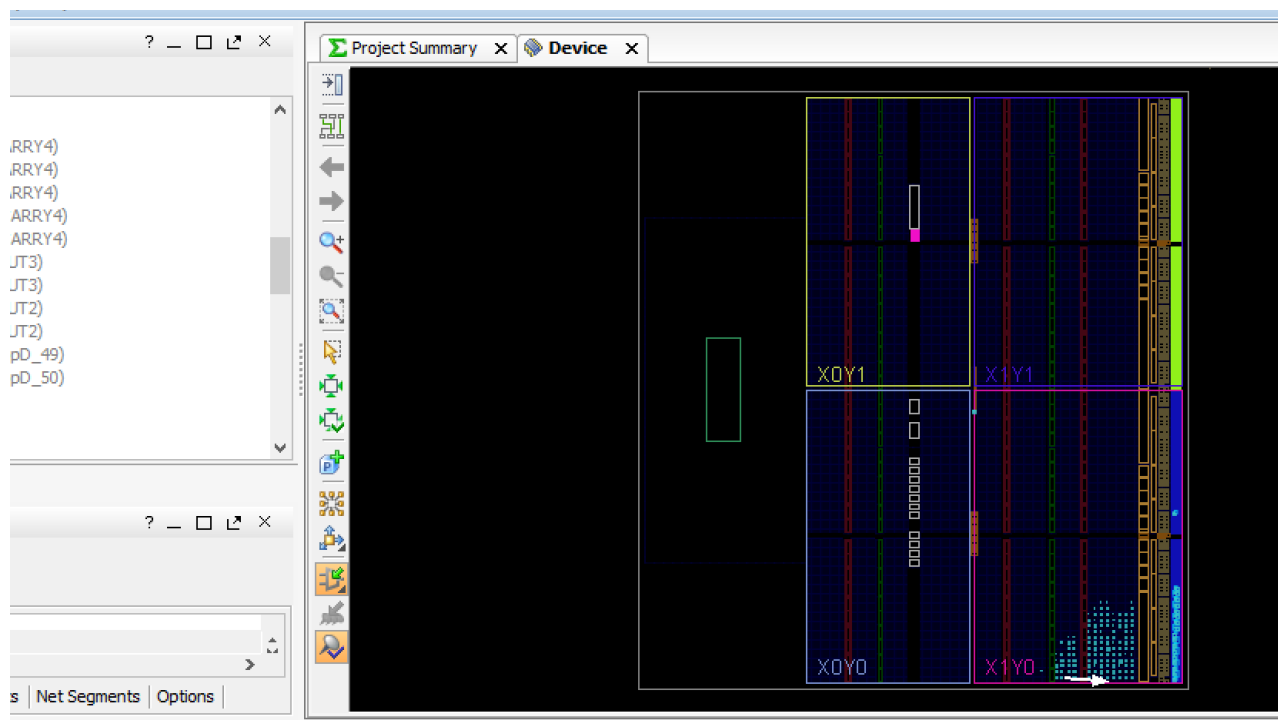
[Implemented Power Report](#)



Critical Path



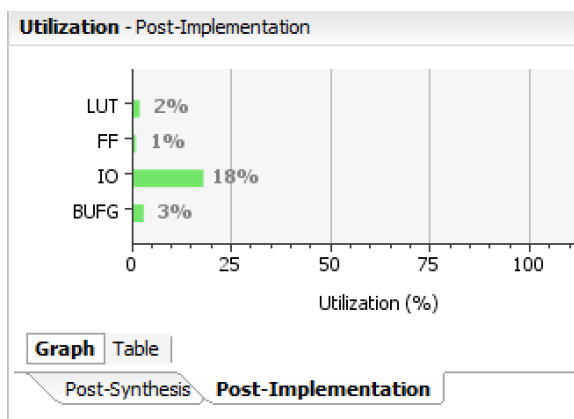
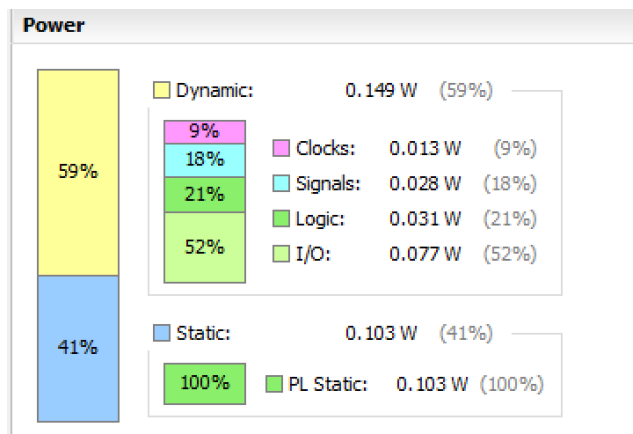
Tck = 1ns



Design Timing Summary			
Setup	Hold	Pulse Width	
Worst Negative Slack (WNS): 0,068 ns	Worst Hold Slack (WHS): 0,150 ns	Worst Pulse Width Slack (WPWS): -0,592 ns	
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): -0,592 ns	
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 1	
Total Number of Endpoints: 72	Total Number of Endpoints: 72	Total Number of Endpoints: 81	
Timing constraints are not met.			

Timing	
Worst Negative Slack (WNS):	0.068 ns
Total Negative Slack (TNS):	0 ns
Number of Failing Endpoints:	0
Total Number of Endpoints:	72
Implemented Timing Report	
Setup Hold Pulse Width	

Power	
Total On-Chip Power:	0.252 W
Junction Temperature:	27,9 °C
Thermal Margin:	72,1 °C (6,0 W)
Effective θJA:	11,5 °C/W
Power supplied to off-chip devices:	0 W
Confidence level:	Low
Implemented Power Report	



Critical Path

