

ELETTRONICA

[Fotocopie di Appunti]

A CURA DI ALESSANDRO PAGHI

PROFESSORE: Santina Rocchi (<http://www3.diism.unisi.it/people/person.php?id=19&aa=2015>)

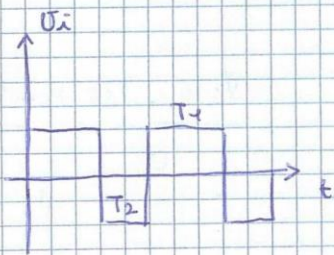
LINK AL CORSO ANNO 2015/2016:

<http://www3.diism.unisi.it/FAC/index.php?bodyinc=didattica/inc.insegnamento.php&id=55110&aa=2015>

FREQUENTAZIONE: Consigliata.

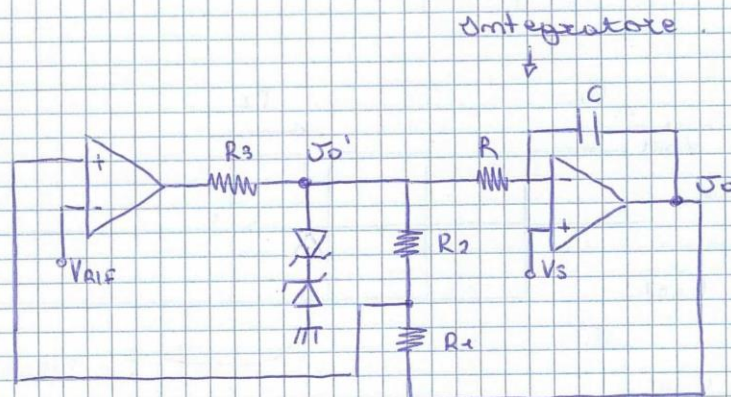
MODULATORE DI DUTY CYCLE (δ)

08/09/2016



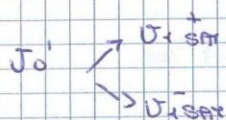
$$\delta = \frac{T_1}{T_1 + T_2}$$

$$\text{Se } T_1 = T_2 \Rightarrow \delta = 0,5$$



Il secondo amplificatore mi dà retroazione negativa perché è invertente e viene connesso sul + del 1° A.O.

$$U_+ = U_o' \cdot \frac{R_1}{R_1 + R_2} + U_o \cdot \frac{R_2}{R_1 + R_2}$$



ed è dato dal confronto U_i , V_{REF}

È quindi un confronto iniziale fra U_i e V_{REF} .

Quando $U_o' = U_{+sat}$ $\rightarrow U_i > V_{REF}$

$\rightarrow$ l'integratore integra una V_{3g} e dura come un'istante una rampa con pendenza negativa.

$\Rightarrow U_o$ è una rampa decedente!

Quando l'uscita U_o si abbassa troppo scenderà che $U_+ = V_{REF}$

e poi quando $U_+ < V_{REF} \Rightarrow U_0' = U_{SAT}^-$

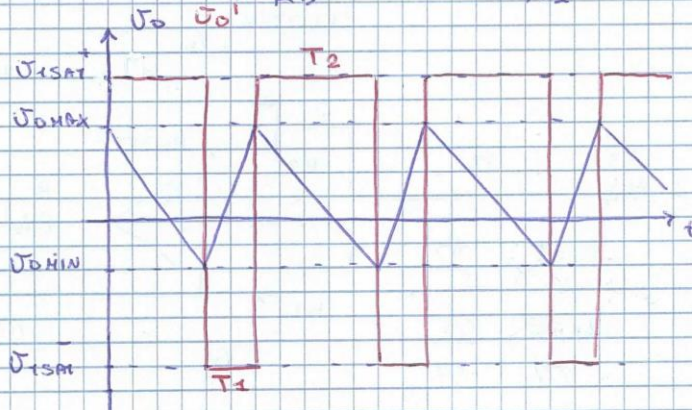
Quale è U_0 : $U_+ \leq V_{REF}$

$$U_{0MIN} = V_{REF} \cdot \frac{R_1 + R_2}{R_2} - U_0' \cdot \frac{R_1}{R_2} \quad \text{con } U_0' = U_{SAT}^+ \\ = V_{REF} \cdot \frac{R_1 + R_2}{R_2} - U_{SAT}^+ \cdot \frac{R_1}{R_2}$$

Questo volta U_0 è una rampa crescente.

Crescente fin quando $U_+ \leq V_{REF}$

$$U_{0MAX} = V_{REF} \cdot \frac{R_1 + R_2}{R_2} - U_{SAT}^- \cdot \frac{R_1}{R_2}$$



Se U_S è costante e pendente rimaniamo costante per $t \rightarrow \infty$, se $U_S \neq \text{cost}$ e pendente variamo ma molto lentamente rispetto a U_S .

$$U_0' - U_{+2} = U_0' - U_{+1} = U_0' - V_S$$

$$(U_0' - U_S) \cdot \frac{1}{R} = -C \cdot \frac{d}{dt} (U_0 - U_S)$$

U_0' è costante ed in un semiperiodo posso considerare anche U_S costante.

$$\Delta U_0(T_1) = - \frac{V_{SAT}^- - V_S}{RC} \quad T_1 = U_{0MAX} - U_{0MIN}$$

$$\Delta U_0(T_2) = - \frac{V_{SAT}^+ - V_S}{RC} \quad T_2 = U_{0MIN} - U_{0MAX}$$

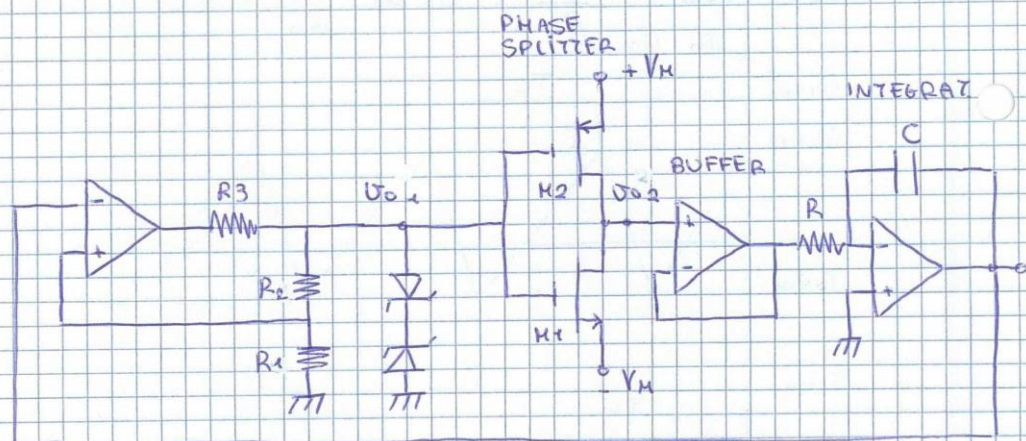
Se $V_{ISAT}^- = -V_{ISAT}^+$,

risultata $\delta = \frac{T_2}{T_1 + T_2} = \frac{1}{2} \left(1 + \frac{U_s}{V_{ISAT}^+} \right)$

Risulta quindi $\delta(U_s)$

U_s riesce quindi a controllare la pendenza dell'integratore.

MODULATORE DI FREQUENZA



Se U_{o1} è alto, $M1$ è in ON e $M2$ è in OFF

$M1$ si presenta come una R piccola mentre $M2$ come una R grande.

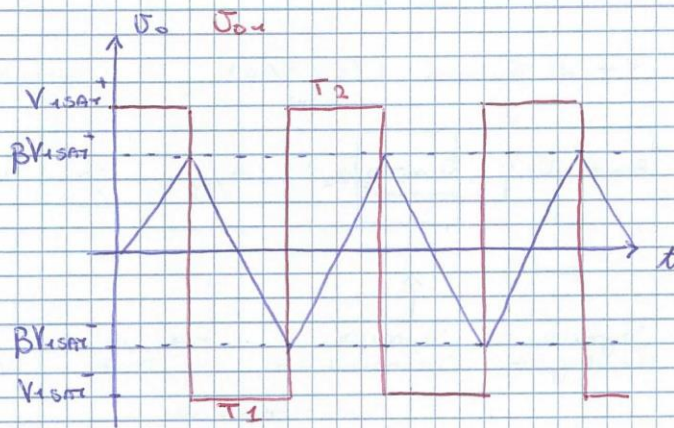
→ U_{o2} avrà circa $-V_H$.

Il buffer presenta solo beta R_{in} e bassa R_{out} .

Poi è un integratore invertente momentaneo e quindi abbiamo due.

Se U_{o1} è basso, $M1$ è OFF e $M2$ è ON e quindi

U_{o2} avrà V_H .



$$\delta = 0,5 !$$

$$\text{Se } U_{oi} = V_{1SAT}^+ \rightarrow U_{+1} > U_{-1}$$

$$\rightarrow U_{oi} \cdot \frac{R_1}{R_1 + R_2} > U_o$$

$$\text{con } \beta = \frac{R_1}{R_1 + R_2}$$

$$\text{e } U_{oi} = V_{1SAT}^+$$

$$T_1: \beta V_{1SAT}^+ - \beta V_{1SAT}^- = -\frac{V_H}{RC} \cdot T_1$$

$$T_2: \beta V_{1SAT}^+ - \beta V_{1SAT}^- = \frac{V_H}{RC} \cdot T_2$$

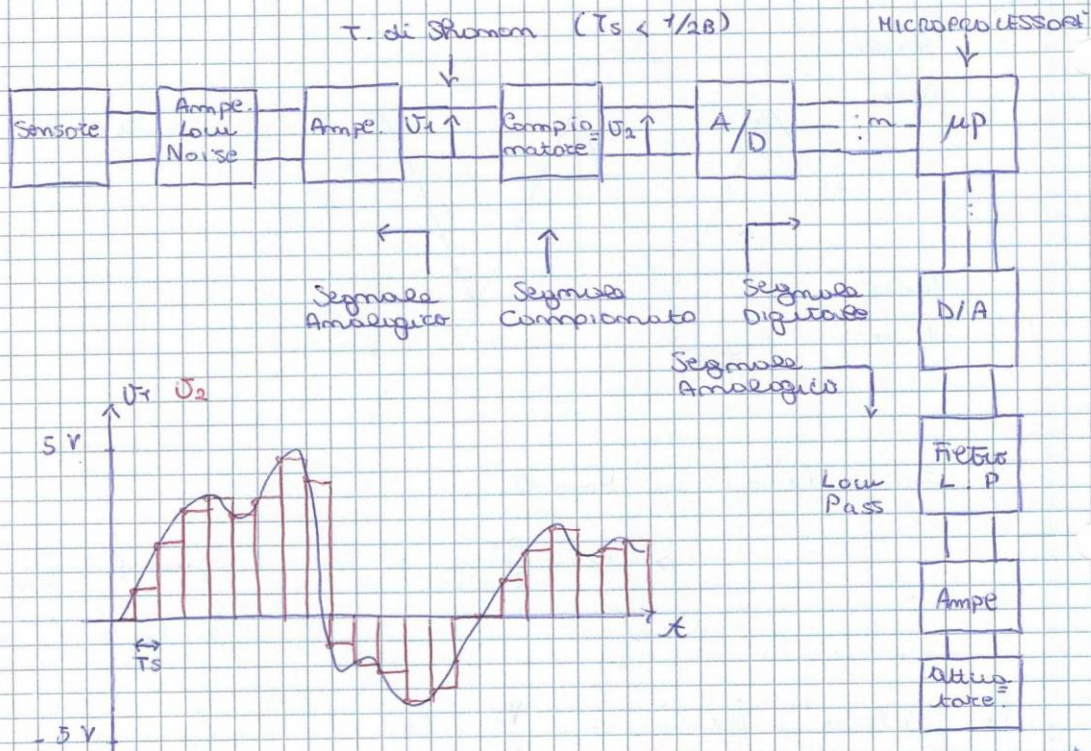
$$\text{Se considero } V_{1SAT}^- = -V_{1SAT}^+$$

$$f = \frac{1}{T_1 + T_2} = \frac{V_H}{4 V_{1SAT}^+ RC}$$

$f(V_H)$, la frequenza è in funzione di V_H .

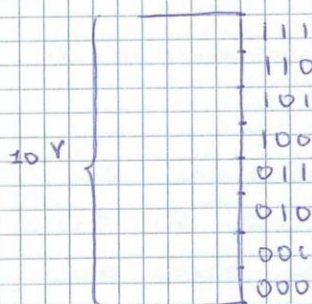
N.B.: Inserisco un BUFFER per separare la porta dell'integratore e quindi la sua costante di tempo $\tau = RC$ dal resto del circuito. Se non lo facessi la R_{int} del MOSFET influenzerebbe τ .

CONVERSIONE A/D

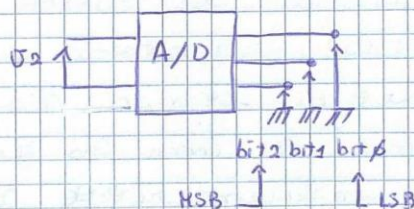


Il campionatore è un campionatore "SAMPLE AND HOLD"
 → Campiona e tiene il segnale fino al successivo campione

Supponiamo $-5V \leq U_1 \leq 5V$
 → Escursione 10 V

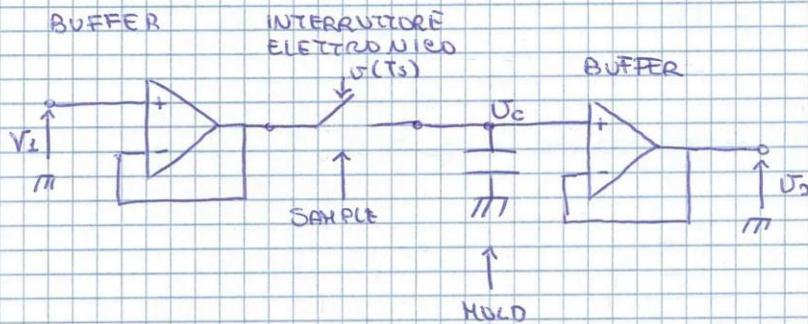


8 intervalli : $2^3 = 8$
 → 3 bit



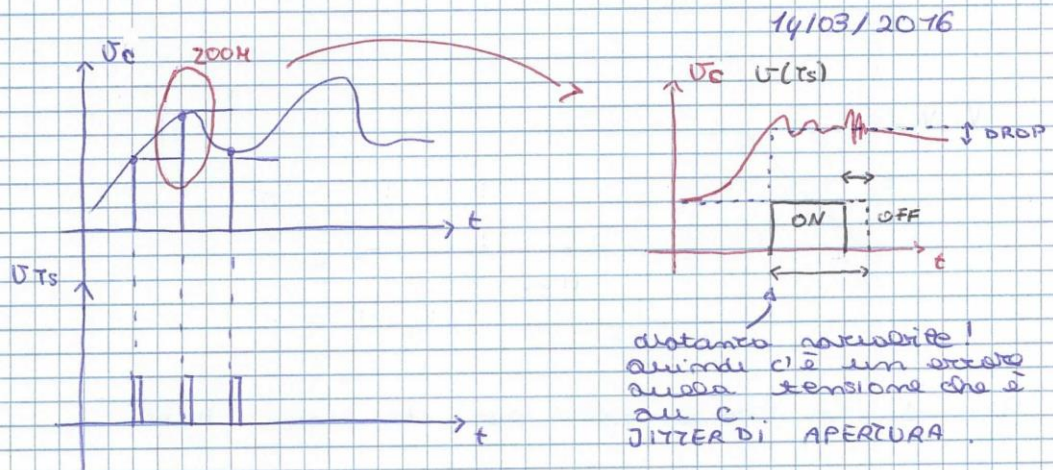
È importante ricordare che la quantizzazione dipende dal rapporto SNR.

Struttura del Compilatore "SAMPLE & HOLD"



Una volta che C si è caricato col valore di V non si deve più scaricare.

- due buffer non si scarica (Rin grande)
 - nemmeno sulla interruzione elettronica perché lo cap con R_{out} grande.
- Esso dovrebbe avere $R_{on} = 0 \Omega$
 $R_{off} = \infty \Omega$



τ deve essere abbastanza piccolo perché si deve caricare velocemente, ma anche molto grande perché si deve scaricare lentamente.

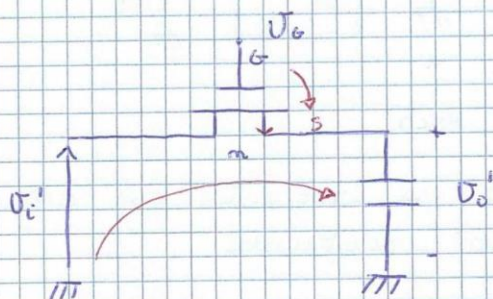
→ COMPROMESSO!

Inoltre se fatto che V_s sia istantaneo genera un rumore su V_c .

Tutti i summi devono essere minimi del quanto (intervallo di quantizzazione)

1 camp / 2 V_{SS}

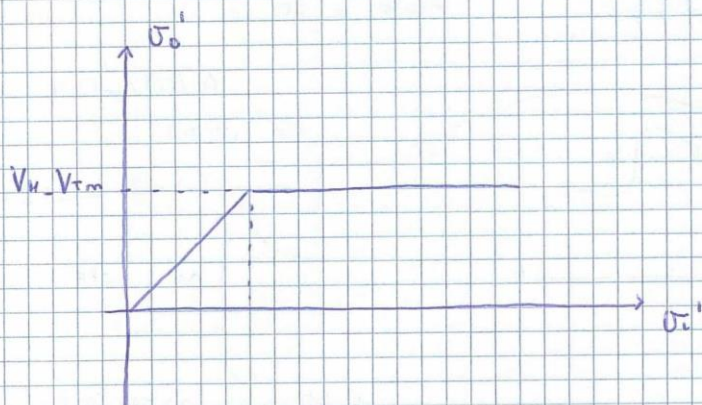
Come è fatto il transistor digitale?



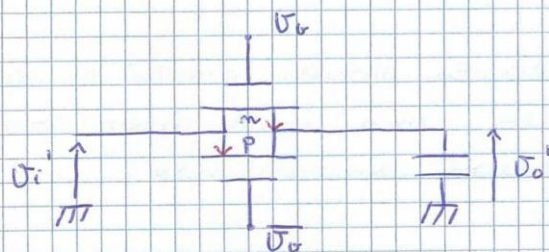
Quando l'interfaccia è ON:

Quando V_G è alto individua il source ($V_{GS} = 5V$)

V_o segue V_i fino a quando V_{GS} rende il canale formato. $\rightarrow V_{GS} = V_G - V_o > V_{Tm}$ (CANALE FORMATO)

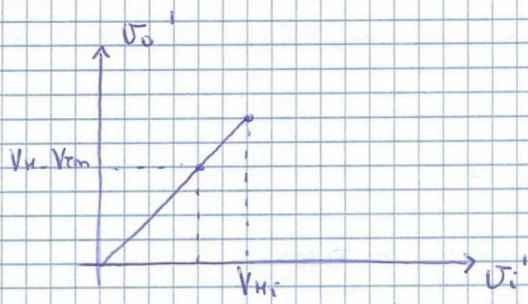


Quindi ha bene solo per tensioni basse

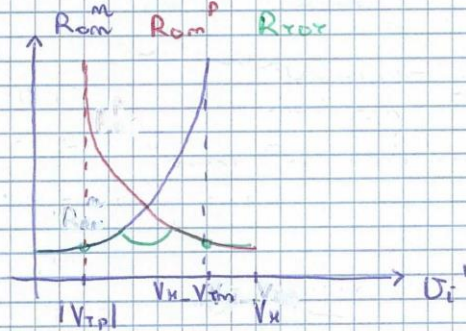


V_G alto.
 V_G basso.

Quando ammette di conduttore V_m è in conduzione V_p è mi permette di raggiungere la tensione



R associata all'intermittenza ON



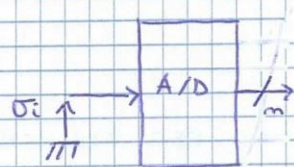
Quando l'intermittenza è OFF.

Quando V_O è basso, V_O è alto

Non sono determinati né il canale n né il canale p.

N.B.: la R non è zero e causa un effetto di carico di C su R.

CONVERTITORE A/D



Circuito che minimizza questo errore:

$$|V_i - (b_0 2^{-1} + b_1 2^{-2} + \dots + b_{m-1} 2^{-m}) V_{FS}| = |e|$$

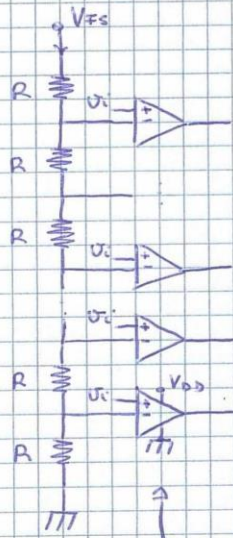
V_{FS} : V_{FS} DELLA SCALA $\approx V_{i, MAX}$.

Quanto minimo: $\frac{V_{FS}}{2^m}$; $V_{LSB} = \frac{V_{FS}}{2^m}$.

È inutile ridurre troppo le quantità perché A/D diventa sensibile al rumore.

Qual'è la FDT di A/D?

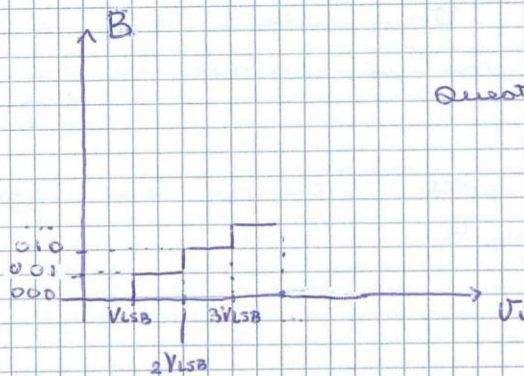
Lo studio per A/D Potenziale o FLASH



$$i = \frac{V_{FS}}{m \cdot R} \quad m \text{ Resistenze}$$

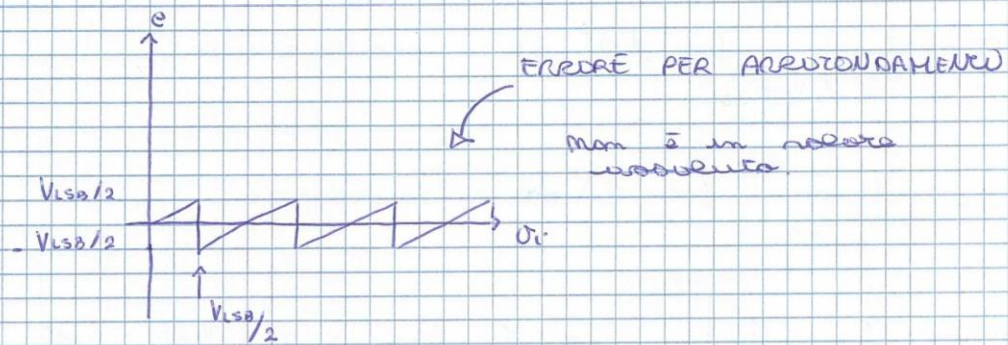
$$V_{LSB} = \frac{V_{FS}}{m} \cdot R = \frac{V_{FS}}{m} \quad \text{con } m = 2^n$$

Questa è una FDT ideale.



ERRORE PER TRONCAMENTO





Lo otteniamo inserendo l'ultimo R prima della moltiplicazione uguale a $\frac{R}{2}$.

Chiaro che questo è riferito ad un AD ideale. In questo caso la caratteristica $B(O_i)$ può variare.

L'errore sistematico è dato dalla caratteristica $e(O_i)$ esposta precedentemente.

L'errore accidentale è dato dai veri valori di R e alle caratteristiche dei comparatori.

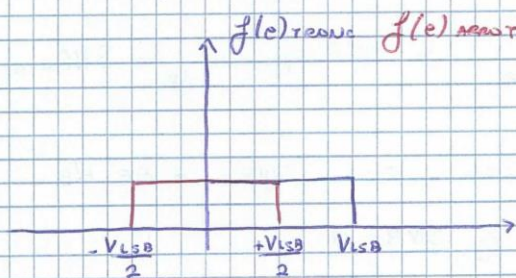
Tutti i segnali sono affetti da disturbi termici.

Rapporto Segnale Rumore:

$$SNR = \frac{P_s}{P_m}$$

Rapporto di potenza
= 100 dB

Densità di probabilità di e



$$\sigma_{AR}^2 = \frac{1}{V_{LSB}} \int_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} (e - \bar{e})^2 de \quad \text{ARROTONDAMENTO}$$

$$\sigma_{TR}^2 = \frac{1}{V_{LSB}} \int_0^{V_{LSB}} (e - \bar{e})^2 de \quad \text{TRONCAMENTO}$$

$$\sigma_{AR}^2 = \frac{1}{V_{LSB}} \left[\frac{e^3}{3} \right]_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} = \frac{1}{V_{LSB}} \frac{V_{LSB}^3}{3 \cdot 8} \cdot 2 = \frac{V_{LSB}^2}{12} = \sigma_{TR}^2$$

Supponiamo una sinusoida in ingresso

$$V_i = \frac{V_{FS}}{2} \sin(\omega t)$$

$$P_i = \left(\frac{V_{FS}}{2\sqrt{2}} \right)^2$$

Ricorda che $V_{LSB} = \frac{V_{FS}}{2^m}$

$$\rightarrow SNR = \frac{\frac{(V_{LSB} \cdot 2^m)^2}{8}}{\frac{V_{LSB}^2}{12}} = 2^{2m} \cdot 2^{-9} \cdot 2^2 \cdot 3 = 2^{2m-4} \cdot 3$$

$$SNR_{A/D} |_{dB} = 10 \log_{10} (2^{2m-4} \cdot 3)$$

$$(2m-4) \cdot 10 \log_{10} 2 + 10 \log_{10} 3 = 3 \cdot (2m-4) + 4,8$$

$$= 6m + 1,8$$



Rapporto segnale / Rumore intrinseco al convertitore

$$SNR_{segnale} |_{dB} \leq SNR_{A/D} |_{dB} \rightarrow SNR_{segnale} |_{dB} = SNR_{A/D} |_{dB}$$

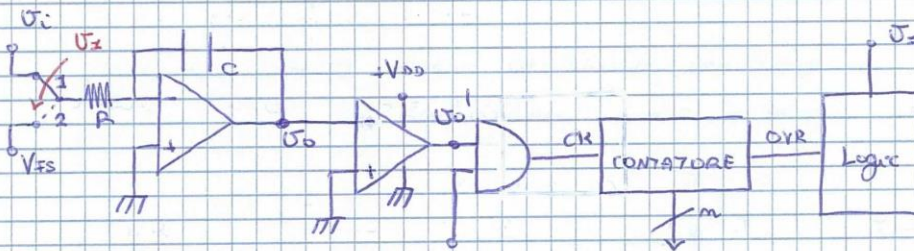
Se ho un segnale AUDIO con $SNR_s = 96 \text{ dB}$

$$96 \text{ dB} \lesssim 6m \rightarrow m \gtrsim \frac{SNR_{sigdB}}{6}$$

Convertitore A/D

	Doppia Rampa	Successive Approssimazioni	Parallela
Tempo di Conversione	alto	medio	basso
Complessità	bassa	media	alta
Immunità agli errori interni	alta in segnale	media	bassa in ridotto

A/D Doppia Rampa



Viene accumulata C.

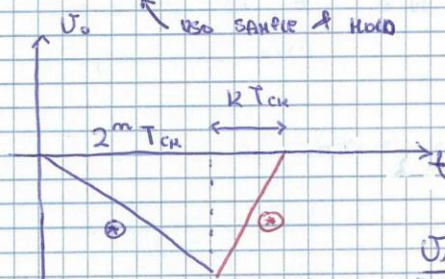
$U_i > \phi$
è costante
per ogni
conversione

V_{FS} in 1

V_{FS} in 2

$|V_{FS}| \geq U_i$

$V_{FS} < \phi$



$$T_{CONVERSIONE} = 2^m T_{CK} + K T_{CK}$$

$$\frac{U_i}{RC} \cdot 2^m T_{CK} = \frac{V_{FS}}{RC} \cdot K T_{CK}$$

① Polarizza $\frac{U_i}{RC}$

$$U_i \cdot 2^m = V_{FS} \cdot K$$

② $\frac{V_{FS}}{RC}$

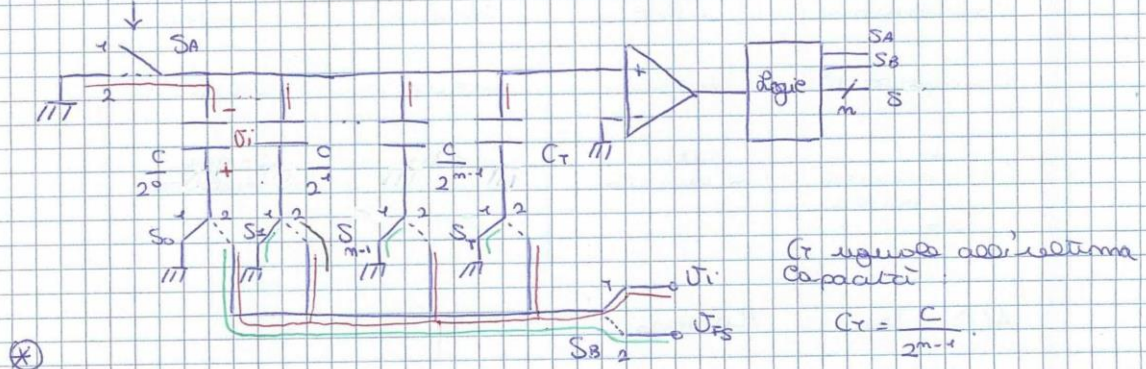
$$\rightarrow K = \frac{U_i}{V_{FS}} \cdot 2^m = \frac{U_i}{V_{LSB}}$$

Inoltre lo posso notare \$T_{CK}\$ per accumulare i
rumori che hanno periodo \$pT = 2^m T_{CK}\$ o
near medio nullo.

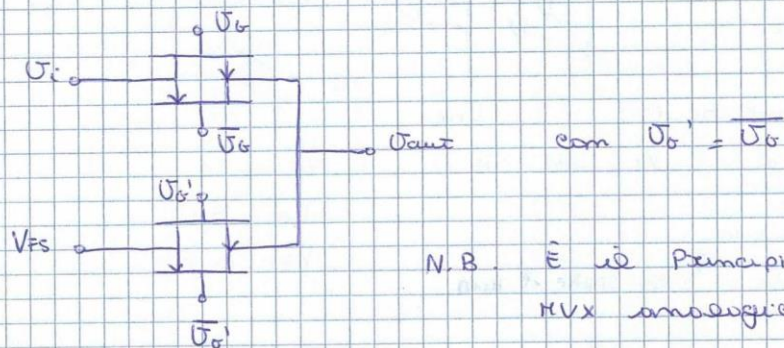
$$\rightarrow pT_{noise} = 2^m T_{CK}$$

A/D Successive Approximation a distribuzione di carica

16/03/2016



S_A è un interruttore studiato nelle ore precedenti,
 gli altri invece sono driverabili;



N.B. È il Principio del
 MUX analogico.

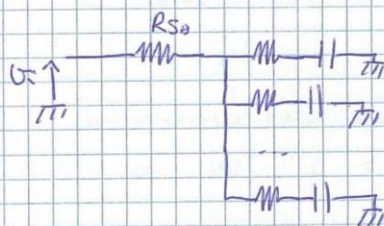
In questo caso ho rappresentato S_B

(*)

Funzionamento:

- 1) Logica combinatoria e sequenziale che pone S_A in 2 e S_B in 1, S_0, S_{m-1} e S_i sono in 2.

Da vedere questo circuito:



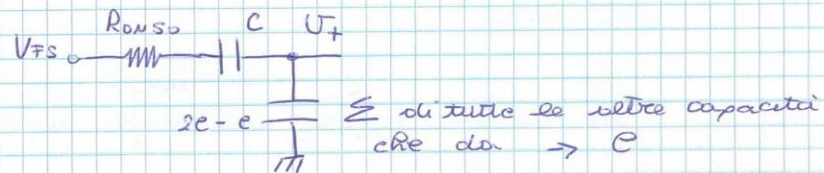
Dopo il transistor tutti i
 condensatori si caricano a
 V_t .

- 2) S_A in 1, $S_0 \dots S_{m-1}$ e S_r in 1
 la tensione su U^+ è data da $-U_i$.
 $\rightarrow U^+ = -U_i$

- 3) S_A in 1 e pongo S_0 in 2 lasciando
 invariati gli altri: $S_1 \dots S_{m-1}$ e S_r in 1
 Pongo poi S_B in 2.

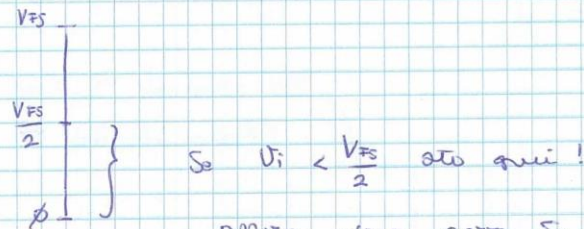
$$U^+ = -U_i$$

ma V_{FS} vede questo circuito:



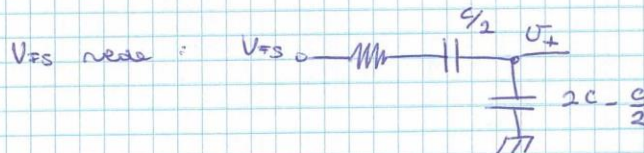
$$\rightarrow U^+ = -U_i + \frac{V_{FS}}{2}$$

$$\text{Se } U_i > \phi \Rightarrow V_{FS} > \phi$$

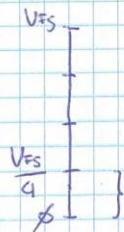


allora devo porre S_0 in 1 ovvero ϕ logico

- 4) Adesso lascio S_0 nella posizione definita prima e
 pongo S_1 in 2



$$U^+ = -U_i + \frac{V_{FS}}{4}$$



Generalmente se $V^+ > \phi$ l'interuttore va a ϕ altrimenti
va a 1 LOGICO.

Se invece nella fase 3 invece invece $V_i > \frac{V_{FS}}{2}$ allora
 $S_0 \rightarrow 1$ LOGICO

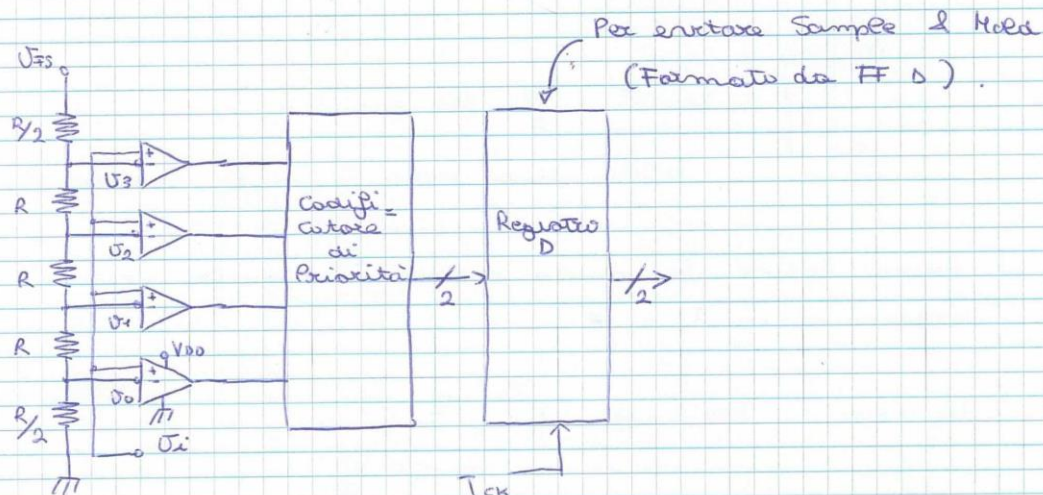
Nella fase 4 confronto con $V^+ = -V_i \rightarrow \frac{V_{FS}}{2} + \frac{V_{FS}}{4}$.

Questo convertitore richiede $m+2$ cicli di clock per
fornire il risultato in bit.

Chiaro che V_i deve essere costante durante la
conversione.

A/D Parallelo o Flash

Per ipotesi $m=2$ bit.

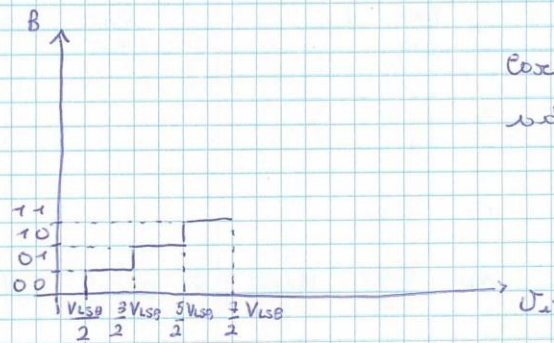


$$V_0 = \frac{V_{FS}}{4R} \cdot \frac{R}{2} = \frac{V_{FS}}{8}$$

$$V_1 = \frac{V_{FS}}{4R} \cdot \frac{3R}{2} = \frac{3V_{FS}}{8}$$

$$V_2 = \frac{5}{8} V_{FS}$$

$$V_3 = \frac{7}{8} V_{FS}$$

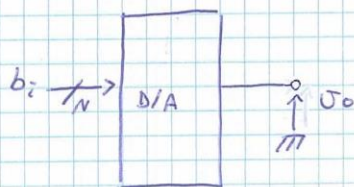


Caratteristica Convertitore
ad automodamento

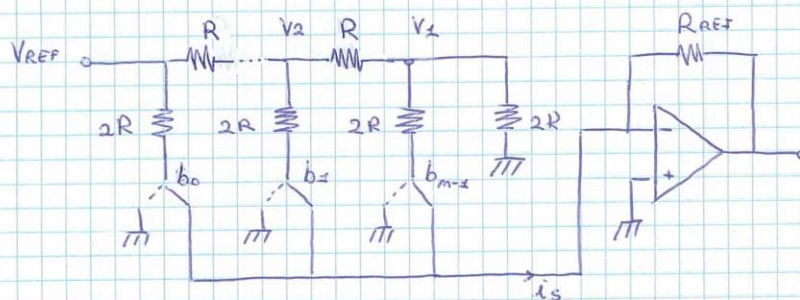
Se $V_i < V_{LSB}/2 \rightarrow out \phi = \phi$ e vinco tutte le vette.

Se $V_i > V_{LSB}/2 \rightarrow out \phi = 1$ e devo confrontare la
vetta.

CONVERTITORE D/A a SCALA



È costituito da una rete $R \rightarrow 2R$.



Gli interruttori sono controllati dai valori dei bit.

$$V_1 = \frac{V_2}{2} ; V_2 = \frac{V_3}{2} \dots$$

Sue pin - si sommano le correnti e quindi
le tensioni.

$$i_s = \frac{V_{REF}}{2R} \cdot b_0 + \frac{V_{REF}}{2R} \cdot b_1 \cdot 2^{-1} + \frac{V_{REF}}{2R} \cdot b_2 \cdot 2^{-2} + \dots + \frac{V_{REF}}{2R} \cdot b_{m-1} \cdot 2^{-(m-1)}$$

$$= \frac{V_{REF}}{R} (b_0 2^{-1} + b_1 2^{-2} + \dots + b_{m-1} 2^{-m})$$

$$i_s = - \frac{U_0}{R_{REF}} \quad \rightarrow \quad U_0 = - i_s \cdot R_{REF}$$

$$= - \frac{V_{REF}}{R} \cdot R_{REF} (b_0 2^{-1} + \dots + b_{m-1} 2^{-m})$$

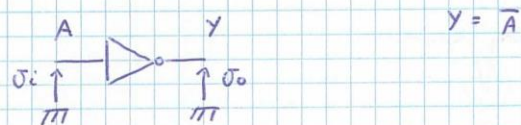
Il valore del D/A R_0 è un segnale a scalini.

Per rendere continuo l'uscita un filtro passa basso.

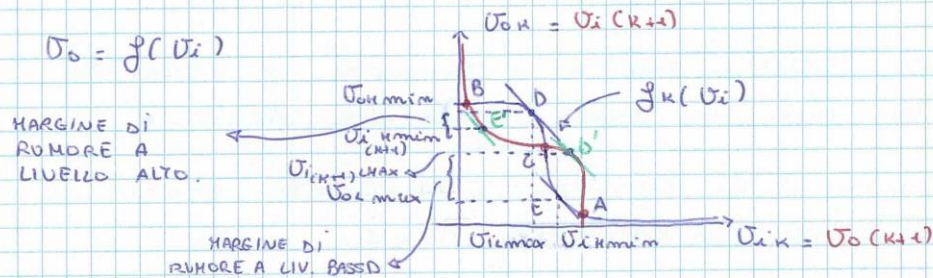
ELETTRONICA DIGITALE

21/03/2016

PORTA LOGICA NOT (Invertitore)



Parametri Statici:



Consideriamo l'invertitore K-esimo:



$$V_{oK} = V_{i(K+1)}$$

Se noi disegnamo la caratteristica di K+1:

Punti D ed E sono tali che $\frac{dV_o}{dV_i} = -1$.

$$\frac{dV_o}{dV_i} \approx \frac{\Delta V_o}{\Delta V_i} \text{ non è altro che } A_v.$$

Quindi con $\frac{dV_o}{dV_i} = -1$ delimitiamo una zona con $A_v < 1$.

Zona BD $\left| \frac{\Delta V_o}{\Delta V_i} \right| < 1$

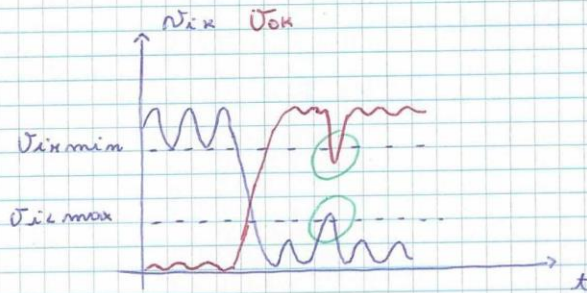
Zona EA $\left| \frac{\Delta V_o}{\Delta V_i} \right| < 1$

Zona DE $\left| \frac{\Delta V_o}{\Delta V_i} \right| > 1$

V_{iHmin} : Valore più piccolo che la vor considerare alto.

V_{iLmax} : Valore massimo che la vor considerare basso.

Supponiamo in ingresso:



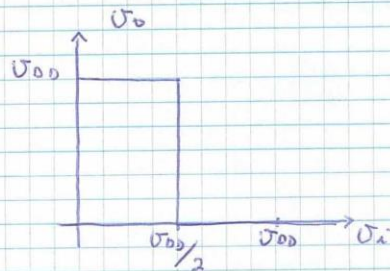
N.B. Questo circuito riduce i rumori a patto che il segnale non sia nella parte con $A_v > 1$.

Questa riduzione di rumore è rovesciata grazie al fatto che esiste un ramo con $A_v < 1$.

$$V_{ohmin} = V_{i(ckn)} N_{Hmin} = N_{Hk} \quad (\text{Margine di Rumore a Liv. Alto})$$

$$V_{ckn}^{i,max} = V_{o(ck)} L_{max} = N_{Lk} \quad (\text{Margine di Rumore a Liv. Basso})$$

INVERTITORE IDEALE



$$N_{Hk} = N_{Lk} = V_{DD}/2$$

Quindi i parametri statici sono:

$N_{Hk}; N_{Lk}$

$$V_{sagola\ logica} = V_{si} = \begin{cases} f(V_o) \\ V_o = V_i \end{cases} \quad \text{idealmente } V_{si} = V_{DD}/2$$

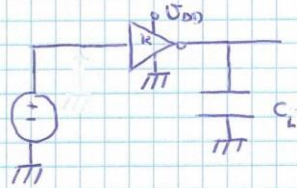
$$P_{statica} = V_{DD} \cdot \left(\frac{I_{OL} + I_{OH}}{2} \right)$$

FAN IN: Max numero di ingressi che si può accettare.

FAN OUT: Max numero di ingressi collegabili all'uscita.

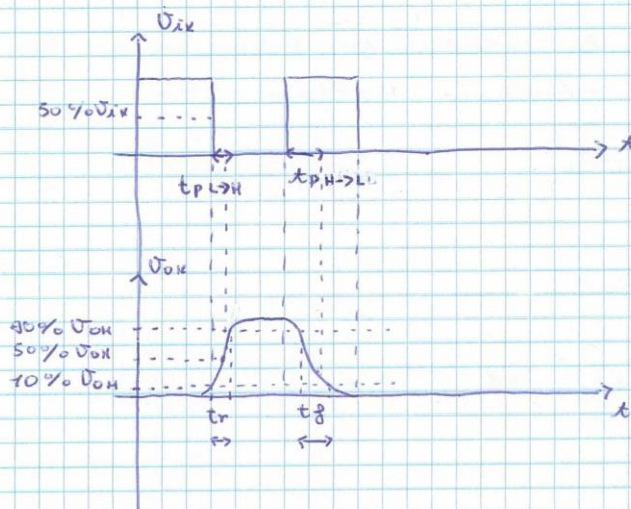
Parametri Dinamici:

Sostituisco il circuito equivalente.



$$C_L = \sum C_i$$

tutte le capacità della
parte a valle +
Cap del invertitore
R.

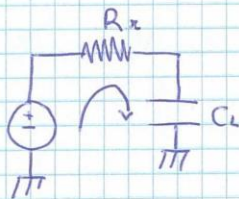


$C_L = C_r$ se abbiamo un
solo invertitore
in uscita.

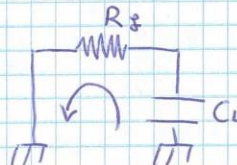
t_r : tempo di salita

t_f : tempo di discesa

Per calcolare t_r



Per calcolare t_f



$$V_O = V_{FIN} - (V_{FIN} - V_{IN}) e^{-\frac{\Delta t}{RC}} = \begin{cases} 0,1 V_{OH} \Rightarrow \Delta t_1 \\ 0,9 V_{OH} \Rightarrow \Delta t_2 \end{cases}$$

$$\Delta t_2 - \Delta t_1 = t_r \approx 2,2 R C_L$$

$$\text{Se } R_r = R_f \Rightarrow t_r = t_f$$

Tempo di propagazione: tempo necessario per passare dal 50% dell'ingresso al 50% dell'uscita.

$t_{pL \rightarrow H}$ basso - alto
 $t_{pH \rightarrow L}$ alto - basso

$$t_p = \frac{t_{pH \rightarrow L} + t_{pL \rightarrow H}}{2}$$

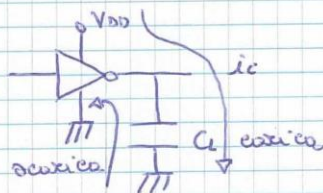
t_p lo calcolo con la precedente formula di carica e scarica di C_L con margini 0,1 V_{DD} e 0,9 V_{DD} .

$$t_p \approx 0,69 RC_L$$

Max Frequenza di Clock

$$f_{clk\ max} = \frac{1}{t_x + t_f} = \frac{1}{3t_{pL \rightarrow H} + 3t_{pH \rightarrow L}}$$

Potenza Dinamica



Uscita da basso a alto:

$$E = V_{DD} \int_{t_1}^{t_2} C_L \frac{dV}{dt} dt = V_{DD} \int_0^{V_{DD}} C_L \frac{dV}{dt} dt = V_{DD} \cdot C_L \cdot V_{DD} = V_{DD}^2 \cdot C_L$$

energia per caricare la capacità.

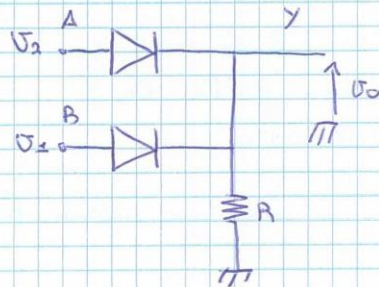
La capacità immagazzina: $E_{imm} = \frac{1}{2} C_L V_{DD}^2$; riepilo poi
 tale energia
 nasce, viene di
 scarica.

$$P_{dinamica1} = P_{D1} = \frac{1}{T} \cdot C_L \cdot V_{DD}^2 = C_L \cdot V_{DD}^2 \cdot f$$

$P_{dinamica2} = P_{D2}$: legata alle commutazioni

$P_{D2} = V_{DD} \cdot i_{c.c.}$ si verifica intorno alla tensione di soglia.

Esempio di una porta OR con i diodi

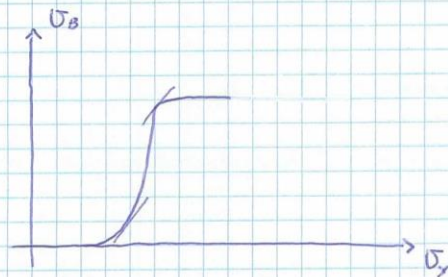
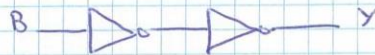


$$Y = A + B$$

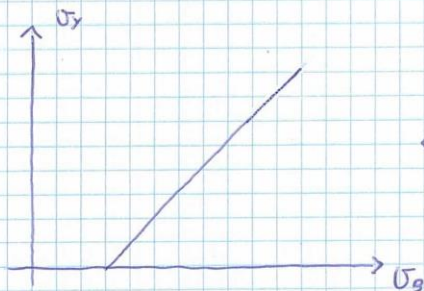
	A	B	Y	
(V_{DD})	H	H	H	$(V_{DD} - V_D)$
	L	H	H	$(V_{DD} - V_D)$
	H	L	H	$(V_{DD} - V_D)$
(ϕ)	L	L	L	(ϕ)

Potremmo con angoli ingrossati e angolo uscita ponendo $U_i = \phi$.

Lo posso rappresentare quindi con 2 NOR



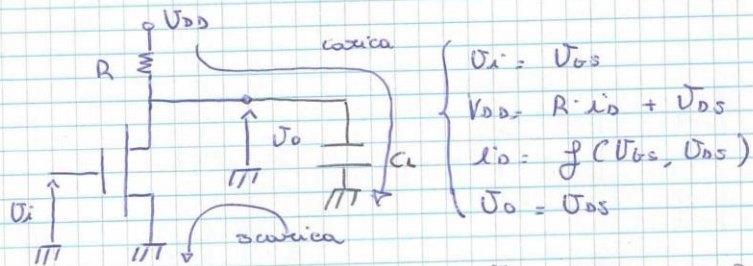
ma in realtà la caratteristica della porta a diodi è:



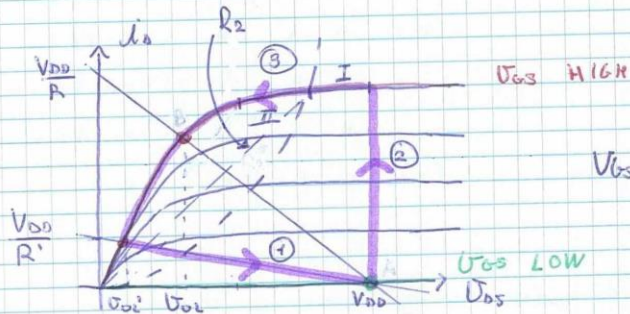
Non posso quindi definire un margine di rumore: non riduce i rumori!

NON VA BENE!

Porta NOT con Common Source



V_i assume valore H o L



① carica C_L

② Commutazione di V_i
MOSFET entra in conduzione

③ si scarica C_L

Quando $V_i = \text{LOW}$, $V_o = V_{DD}$

Quando $V_i = V_{DD}$, $V_o = V_{DD}/R$

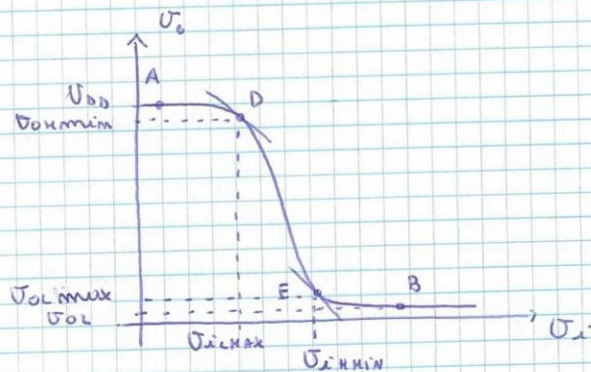
Aumentando R migliora V_{oL}

$$R' \gg R$$

Per studiare V pongo in uscita C_L •
dinamicamente

Ma aumentando molto R aumentano notevolmente t_r , t_p , t_f

→ Dal punto di vista dinamico è molto meno efficiente.



Se U_i è basso $\rightarrow i_D = \frac{K_n}{2} (U_{GS} - V_{TN})^2$

Per trovare D quindi il MOSFET è in SAT

$$V_{DD} = \frac{K_n}{2} (U_i - V_{TN})^2 R + V_D \quad (*)$$

$$V_D = V_{DD} - \frac{K_n}{2} (U_i - V_{TN})^2 R$$

$$\frac{dV_D}{dU_i} = -1 \rightarrow -K_n R (U_i - V_{TN}) = -1$$

$\hookrightarrow U_{iMAX}$

$$\rightarrow U_{iMAX} = \frac{1}{K_n R} + V_{TN}$$

$\left. \begin{array}{l} \rightarrow U_{iMAX} \\ \rightarrow U_{iMIN} \end{array} \right\} \text{P.to D.}$

$\rightarrow U_{iMIN}$ lo sanno da $(*)$

23/03/2016

Quindi le prestazioni statiche migliorano con $R \uparrow$.
Diminuisce $P_{statica}$ e V_{OL} .

Adesso dobbiamo trovare E.

Supponiamo di essere in zona TRIODO

$$i_D = K_n \left(U_i - V_{TN} - \frac{V_D}{2} \right) V_D$$

$$\text{ovvero } i_D = K_n \left(U_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) V_{DS}$$

$$V_{DD} = R K_n \left(U_i - V_{TN} - \frac{V_D}{2} \right) V_D + V_D$$

Considero $U_i - V_{TN} \gg \frac{V_D}{2} \rightarrow$ così elimino il II° ordine.

$$V_{DD} = R K_n (U_i - V_{TN}) V_D + V_D$$

$$V_D [1 + R K_n (U_i - V_{TN})] = V_{DD}$$

$$V_D = \frac{V_{DD}}{1 + R K_n (U_i - V_{TN})}$$

$$\frac{dV_D}{dU_i} = -1 \quad \text{e trova il p.to E}$$

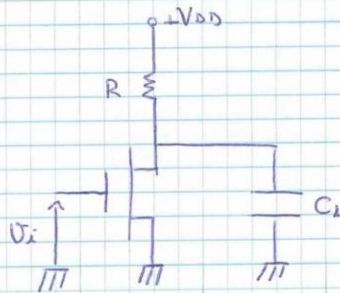
$$\left\{ \begin{array}{l} U_{iMIN} \\ U_{iMAX} \end{array} \right\} \text{P.to E.}$$

Emerge, osservando, che $NH_L < NH_H$

Quindi accetta disturbi imposti da NH_L

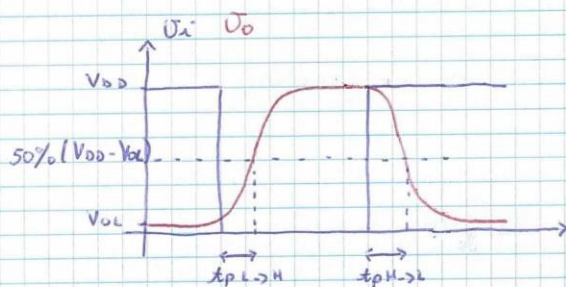
NH_L aumenta e R aumenta!

Calcoliamo i parametri dinamici



t_p ?

- ① Supponiamo C_L scarica, ovvero $V_o = V_{oL}$ e quindi $V_i = H = V_{DD}$ passa a L.



N.B. Motare grafico nella
pagina precedente.
io (V_{os})!

Durante la carica il MOSFET è in c.a., quindi C_L
si carica grazie a R .

$$t_{pL \rightarrow H} \approx 0,69 R \cdot C_L$$

- ② $V_o = V_{DD}$
 $V_i = L$ passa a H

Quindi quando arriva V_i e torna H solo dalla
curva $\bullet$ alla curva $\bullet$.

Mecca fase di carica (3) ci sono due tratti da considerare:

- I : i_D costante;
- II : i_D decresce

Siccome ci interessa $t_{pH \rightarrow L}$ mi fermo a 50% ($V_{DD} - V_{OL}$)

Supponiamo di trascurare della resistenza non ideale R_2 .

$$i_D = \frac{k_n}{2} \overbrace{(V_i - V_{TH})^2}^{V_0} \quad \text{in quanto } V_{GS} - V_{TH} = V_{DS} \text{ e } V_{GS} = V_{DD}$$

$$R_2 = \frac{V_0}{i_D} = \frac{V_0}{\frac{k_n V_0^2}{2}} = \frac{2}{k_n (V_{DD} - V_{TH})}$$

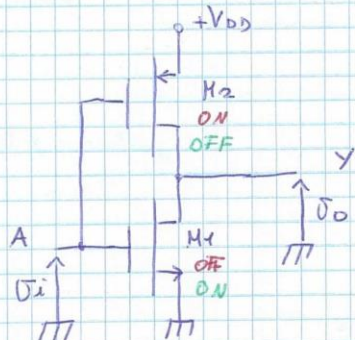
$$t_{pH \rightarrow L} \approx 0,69 R_2 C_L = 0,69 \cdot \frac{2}{k_n' \frac{W}{L} (V_{DD} - V_{TH})}$$

Più il fattore di forma $\uparrow$, più $t_{pH \rightarrow L} \downarrow$

In conclusione per $t_p \downarrow$

$$\frac{W}{L} \uparrow \quad R \downarrow$$

CMOS (complementary MOS)



Complementary:

MOSFET n + MOSFET p.

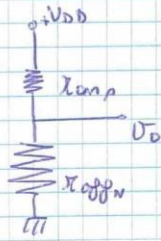
Quando è OFF mosfet
R grande quando è
ON R piccolo.

funzione da invertitore?

- $V_i = \emptyset$ ret $\rightarrow \emptyset$ LOGIC0
- $V_i = V_{DD} \rightarrow 1$ LOGIC1

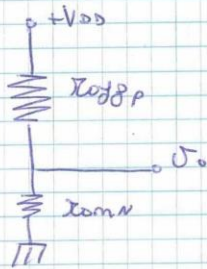
A	Y
$\emptyset$	1
1	$\emptyset$

0 LOGICO



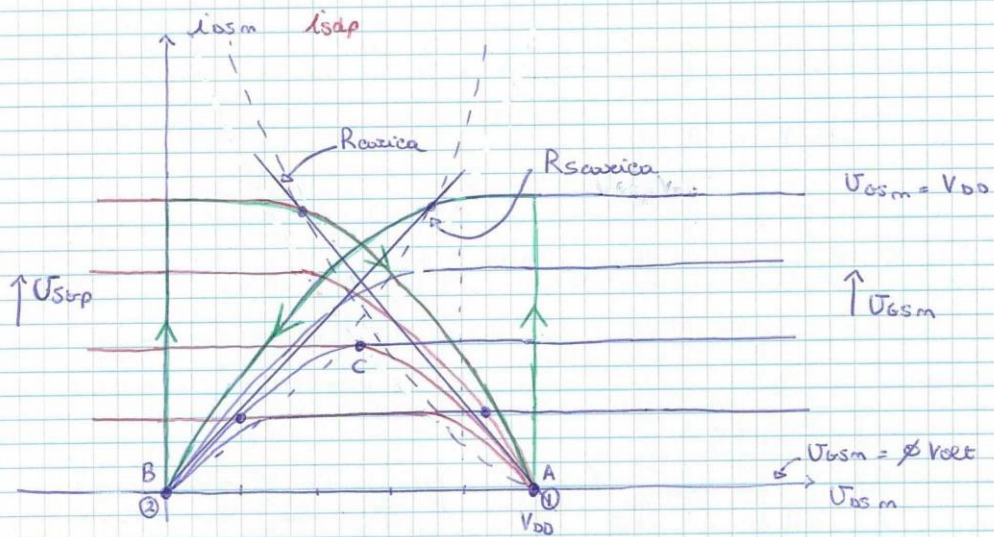
$$U_o = V_{DD} \cdot \frac{\pi_{offP}}{\pi_{onP} + \pi_{offN}} \approx V_{DD}$$

1 LOGICO



$$U_o = V_{DD} \cdot \frac{\pi_{onN}}{\pi_{offP} + \pi_{onN}} \approx 0V$$

Parametri Statici:

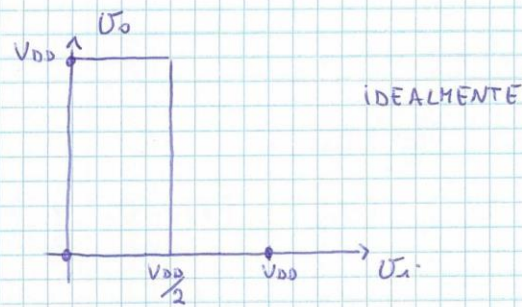


$$V_{DD} = U_{SDP} + U_{GSM}$$

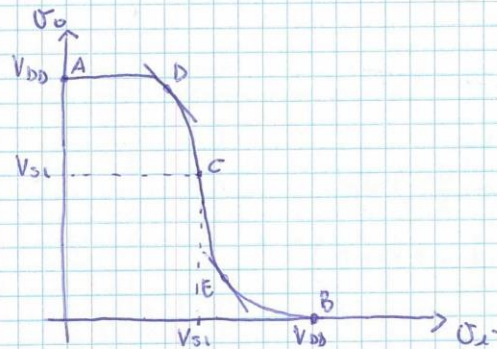
Se $U_i = 0V$, questo è il punto ①
 $U_o = V_{DD}$

Se $U_i = V_{DD}$, questo è il punto ②
 $U_o = 0V$

Quindi:



$$Potenza = V_{DD} \cdot \left(\frac{I_{OH} + I_{OL}}{2} \right) = \phi$$



Quando $V_O = V_{DD}$

- MOSFET n SAT.
- MOSFET p TRIODO

Quando $V_O \neq V_{DD}$

- MOSFET n TRIODO
- MOSFET p SAT.

In ZONA C

- MOSFET n SAT.
- MOSFET p SAT.

$$C: V_O = U_i$$

$$V_{DS} = V_{GS}$$

Calcoliamo D:

$$I_{D S n} = \frac{K_n}{2} (V_{i i} - V_{T n})^2$$

$$I_{D S p} = K_p (V_{S G} - |V_{T p}| - \frac{V_{S D}}{2}) V_{S D}$$

$$\rightarrow I_{D S n} = K_p \left((V_{D D} - V_{i i}) - |V_{T p}| - (V_{D D} - V_{o}) \frac{1}{2} \right) (V_{D D} - V_{o})$$

$$(V_{D D} - V_{i i}) - |V_{T p}| \gg (V_{D D} - V_{o}) \frac{1}{2}$$

Da qui si trova $V_{i i \max}$ e $V_{o \min}$, tenendo $V_o(V_{i i})$
e facendo $\frac{dV_o}{dV_{i i}} = -1$.

Calcoliamo E:

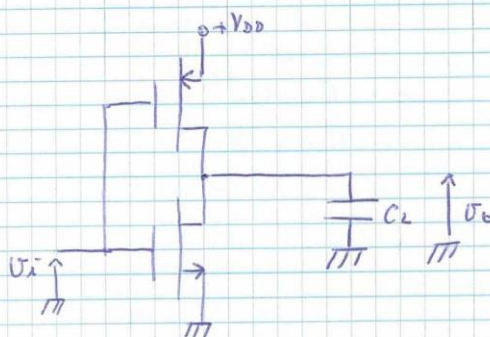
$$I_{D S n} = K_n (V_{i i} - V_{T n} - \frac{V_o}{2}) V_o$$

$$I_{D S p} = \frac{K_p}{2} \left((V_{D D} - V_{i i}) - |V_{T p}| \right)^2$$

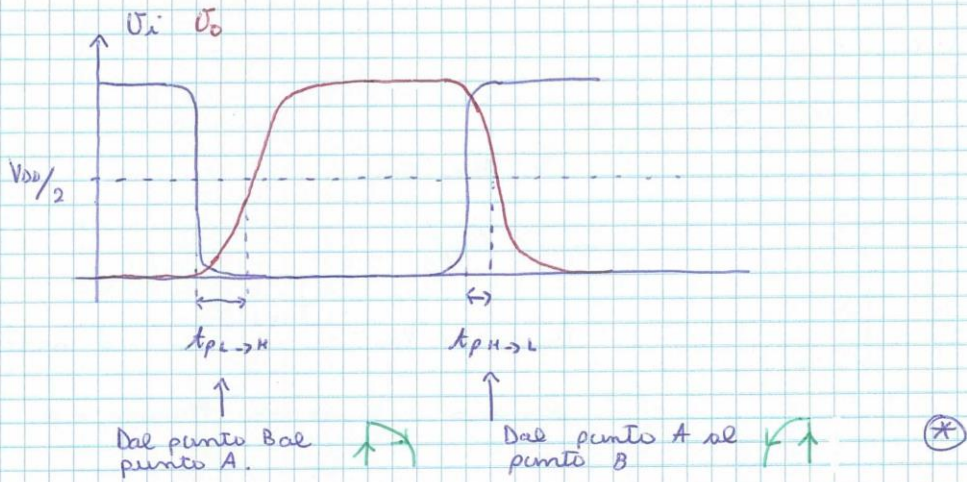
$$(V_{i i} - V_{T n}) \gg \frac{V_o}{2}$$

Da qui si trova $V_{i i \min}$ e $V_{o \max}$, tenendo $V_o(V_{i i})$ e
facendo $\frac{dV_o}{dV_{i i}} = -1$.

Parametri Dinamici:

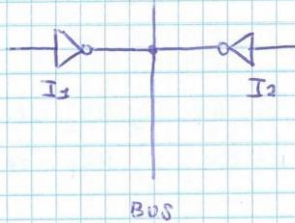


$$\text{con } C_L = m \cdot C_r$$

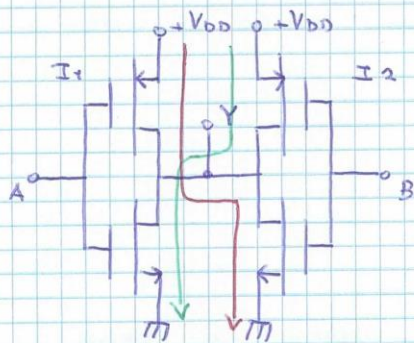


04/04/2016

Connessione di una Resistenza $\rightarrow$ BUS

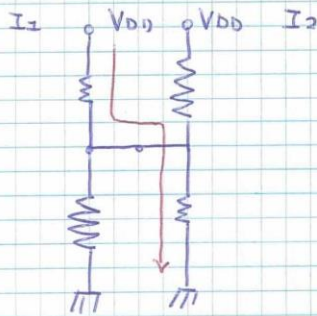


Invertitori CMOS



A	B	Y
0	0	1
0	1	$\frac{V_{DD}}{2}$?
1	0	$\frac{V_{DD}}{2}$?
1	1	0

Caso 01



Se $K_p = K_n$

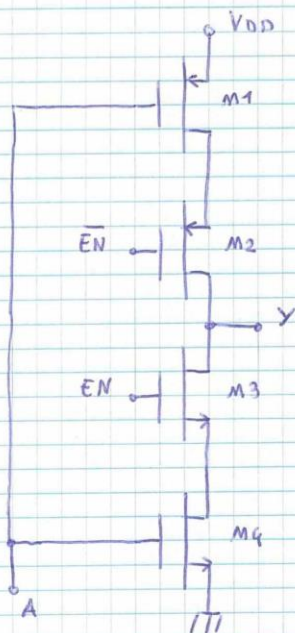
$$\rightarrow Y = V_{DD}/2$$

$$P_{STATICA} = V_{DD} \cdot \frac{I_{OL} + I_{OL}}{2} \quad \text{è molto alta!}$$

donna trasistata $P_{STATICA} = \phi$

Come risolvere?

INVERTITORE TRISTATE (TERZO STATO)



EN: Enable

Se $EN = 1$

$A = 1 \rightarrow M3, M4 \text{ ON}, M1 \text{ OFF} \rightarrow Y = \phi$

$A = \phi \rightarrow M1, M2 \text{ ON}, M4 \text{ OFF} \rightarrow Y = 1$

Se $EN = \phi$

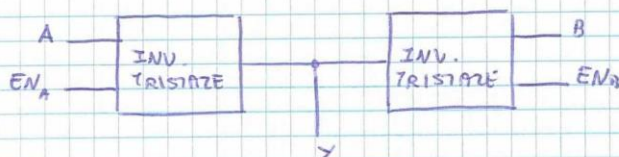
$A = 1 \rightarrow M4 \text{ è ON}, M3 \text{ è OFF}, M1 \text{ è OFF}$

$A = \phi \rightarrow M1 \text{ è ON}, M2 \text{ è OFF}, M4 \text{ è OFF}$

$\rightarrow$ è come se fosse un c.a.

è un stato di alta impedenza.

Se ne può condividere un BUS address no bene



Questo sistema funziona se:

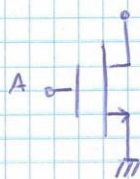
$$EN_A = \emptyset, EN_B = 1$$

$$EN_A = 1, EN_B = \emptyset$$

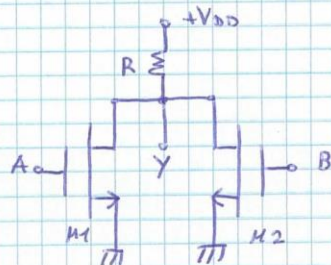
gli enable non devono mai essere uguali.

Posso risolvere anche con:

INVERTITORE OPEN DRAIN



Quando condiviso il BUS =



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

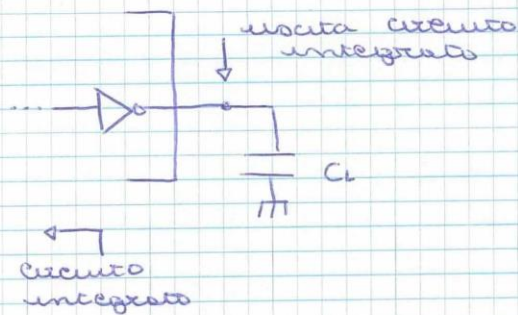
$$Y = \overline{A+B}$$

In 01 e 10 deve risultare 0 e se mosfet 1 o se mosfet 2 sia prelevato per far risultare $Y = \emptyset$.

Così il BUFFER è controllato da A.

N.B. $P_{statica} \neq \emptyset$.

Se voglio studiare i parametri dinamici dell'uscita di circuito integrato:



$$C_L \gg C_T$$

Tornando ai parametri del CMOS *

mezza scarica:

$$i_{DS} \approx \frac{K_n}{2} U_{DS}^2$$

$$R_{scavica} = \frac{U_{DS}}{\frac{K_n}{2} U_{DS}^2} = \frac{2}{K_n' \left(\frac{W}{L}\right)_n U_{DS}}$$

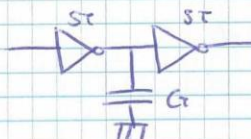
$$t_{pH \rightarrow L} = \alpha \cdot \frac{C_L}{\left(\frac{W}{L}\right)_n}$$

mezza carica:

$$t_{pL \rightarrow H} = \alpha \cdot \frac{C_L}{\left(\frac{W}{L}\right)_p}$$

Quindi nel caso minimo se tempo di propagazione di riferimento $\bar{t}$:

$$t_{pHF} = \alpha \cdot \frac{C_T}{\left(\frac{W}{L}\right)_{ST}}$$



Se solo uscita di un circuito isolata

$$C_L = 1000 C_T$$

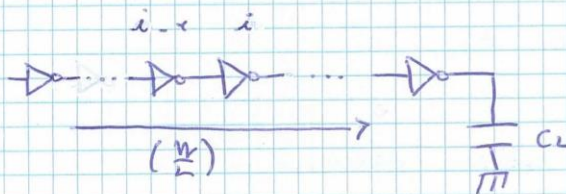
$$t_p = \alpha \cdot \frac{10^3 C_T}{\left(\frac{W}{L}\right)_{sr}}$$

Potrei risolvere usando $\left(\frac{W}{L}\right)_{sr} \cdot 10^3$?

NO! aumentano la capacità parassita.

Devo come risolvere?

Immagino una serie di invertitori con $\left(\frac{W}{L}\right)$ crescente.



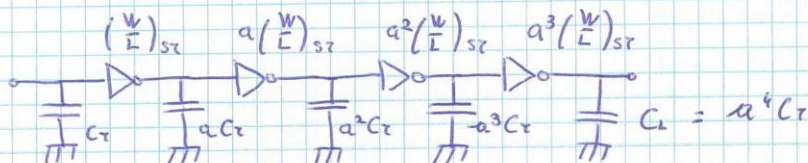
$$\left(\frac{W}{L}\right)_i = \left(\frac{W}{L}\right)_{i-1} \cdot a$$

$$t_{pi} = \alpha \cdot \frac{C_{i+1}}{\left(\frac{W}{L}\right)_i} = \alpha \cdot \frac{a \cdot C_i}{\left(\frac{W}{L}\right)_i}$$

$$t_{pi+1} = \alpha \cdot \frac{C_{i+2}}{\left(\frac{W}{L}\right)_{i+1}} = \alpha \cdot \frac{a^2 \cdot C_i}{\left(\frac{W}{L}\right)_i \cdot a} = \alpha \cdot \frac{a \cdot C_i}{\left(\frac{W}{L}\right)_i}$$

Il tempo di propagazione non aumenta

quindi, disegniamo questo catena:



Quindi Dato C_L , trovare n (# invertitori)

$$\frac{C_L}{C_T} = a^n$$

$$t_{p_{tot}} = n \cdot a \cdot t_{p_{sr}} \quad \text{con} \quad t_{p_0} = a \cdot \frac{C_T}{\left(\frac{W}{L}\right)_{sr}} = a \cdot t_{p_{sr}}$$

$t_{p_{tot}}$ per un solo invertitore:



$$t_{p_{tot}}' = \frac{a C_L}{\left(\frac{W}{L}\right)_{sr}} = \frac{a a^n C_T}{\left(\frac{W}{L}\right)_{sr}} = a^n \cdot t_{p_{sr}}$$

$$a = ?$$

$$t_{p_{tot}} = n \cdot a \cdot t_{p_{sr}} = \frac{\ln\left(\frac{C_L}{C_T}\right)}{\ln(a)} \cdot a \cdot t_{p_{sr}}$$

$$\frac{d}{da} t_{p_{tot}} \rightarrow a = e \quad \text{è il nuovo ottimo.}$$

$$\frac{C_L}{C_T} = e^n \rightarrow n = \ln\left(\frac{C_L}{C_T}\right)$$

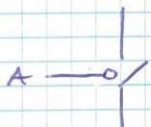
Modello del MOSFET a canale n come un interruttore



$$A = 1 \rightarrow \text{c.c.}$$

$$A = \phi \rightarrow \text{c.a.}$$

Modello del MOSFET a canale p come un interruttore

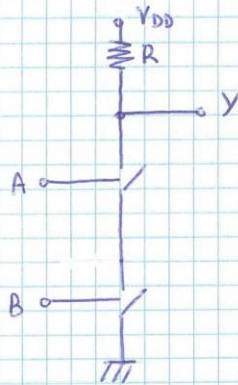


$$A = 1 \rightarrow \text{c.a.}$$

$$A = \phi \rightarrow \text{c.c.}$$

NAND e NOR

NAND con mMOS



NAND

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

$$Y = \overline{AB}$$

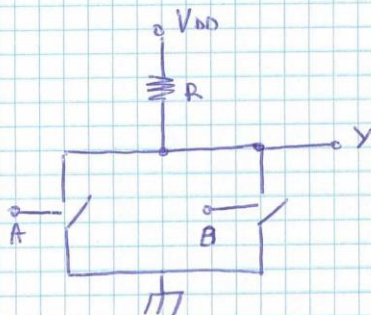
$$U_{SA} > \phi$$

$$U_{SB} = \phi$$

questa è una soluzione che non va bene per un certo FAN IN

→ è necessario un'altra V_{DD} per una NAND con molti ingressi

NOR con mMOS



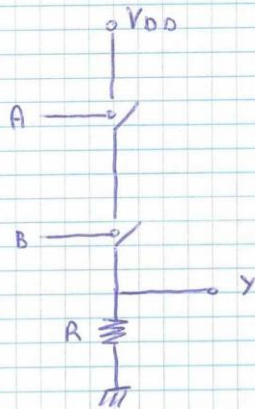
NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

$$Y = \overline{A+B}$$

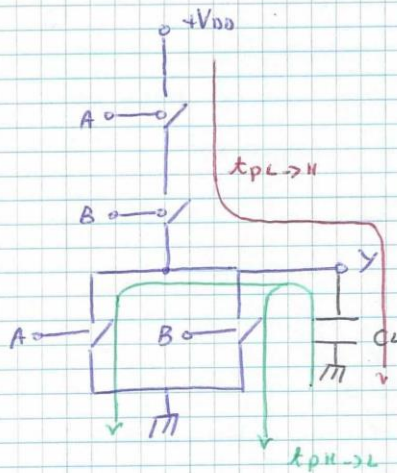
Questo circuito non soffre del problema precedente.

NOR con pMOS



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Unendo le due soluzioni:



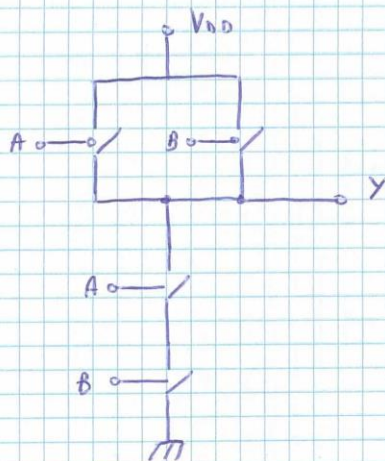
NOR

A	B	Y
0	0	1
m OFF	m OFF	
p ON	p ON	
0	1	0
m OFF	m ON	
p ON	p OFF	
1	0	0
m ON	m OFF	
p OFF	p ON	
1	1	0
m OFF	m OFF	
p ON	p ON	

dipende da A e B conducono.

Questa soluzione garantisce $P_{statica} = 0$.

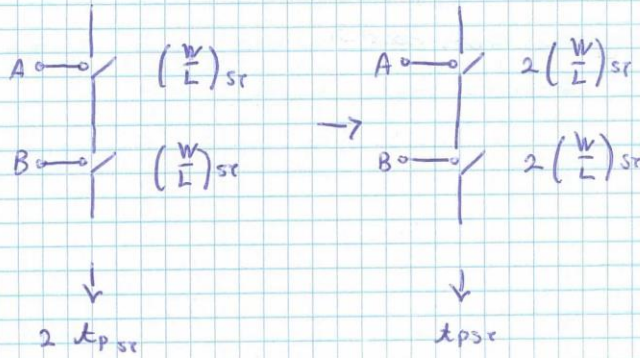
Chiusamente le FAN in dove sono Corro.



NAND

$$Y = \overline{A \cdot B}$$

N.B. Confrontando le dimensioni migliori $t_{pL \rightarrow H}$ NOR
 $t_{pH \rightarrow L}$ NAND

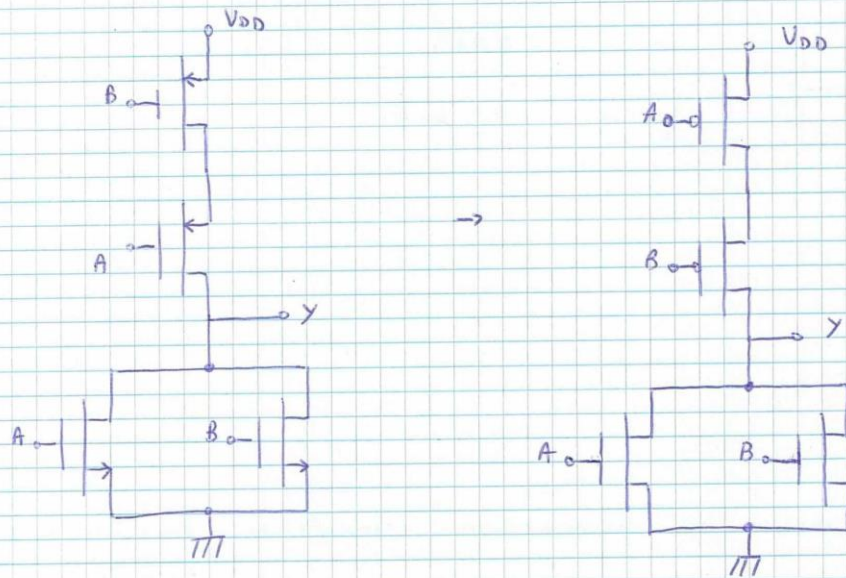


Per una NOR :

$$t_{pL \rightarrow H} = t_{psr}$$

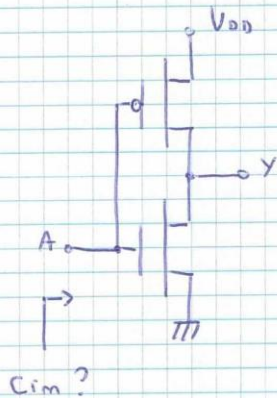
06/04/2016

NOR con MOSFET



nella NOR non c'è effetto BODY sui nMOS ma sugli pMOS
Come già detto nella lezione precedente.

Per un CMOS:



$$K_m = K_m' \left(\frac{W}{L} \right)_m$$

$$K_p = K_p' \left(\frac{W}{L} \right)_p = \frac{K_m'}{2,5} \left(\frac{W}{L} \right)_p$$

Quindi a parità di $K \rightarrow K_m = K_p$

$$W_p = 2,5 \cdot W_m$$

$$C_m = \frac{\epsilon W L}{d}$$

$$C_p = \frac{\epsilon \cdot 2,5 W L}{d}$$

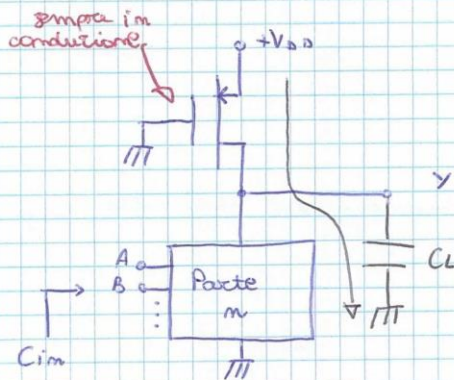
$$\rightarrow C_{im} = C_m + C_p = C_m + 2,5 C_m = 3,5 C_m.$$

Svantaggi CMOS:

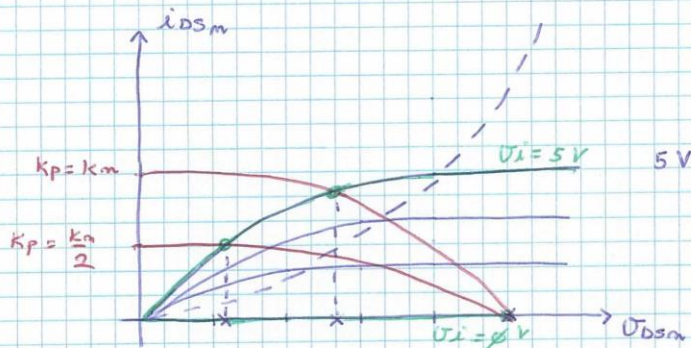
- C_{im} aumenta rispetto ad un MOS;
- È presente l'effetto BODY, come accade nelle NOR;

La problematica sorgono per reti FAN IN.

Soluzione: CARICO A PMOS



Supponiamo nella parte m un solo transistor MOS



Quindi: $V_i = 0V \rightarrow V_{os}$ è alto

$V_i = 5V \rightarrow V_{os}$ è in una situazione intermedia

Riducendo K_p riesco a mitigare questa situazione.

Viene quindi ridotta la corrente in quanto viene ridotto K_p , riducendo la $P_{statica}$.

Ma riducendo la corrente, aumenta la $t_{pL \rightarrow H}$.

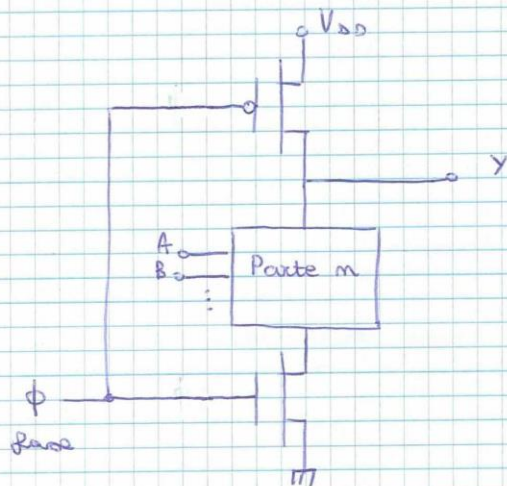
Notiamo però che C_{in} adesso:

$$C_{in} = C_m.$$

Posso quindi inserire $K_p = \frac{K_m}{3,5}$ ottenendo le stesse prestazioni del CMOS, aggiungendo una catena di inverters.

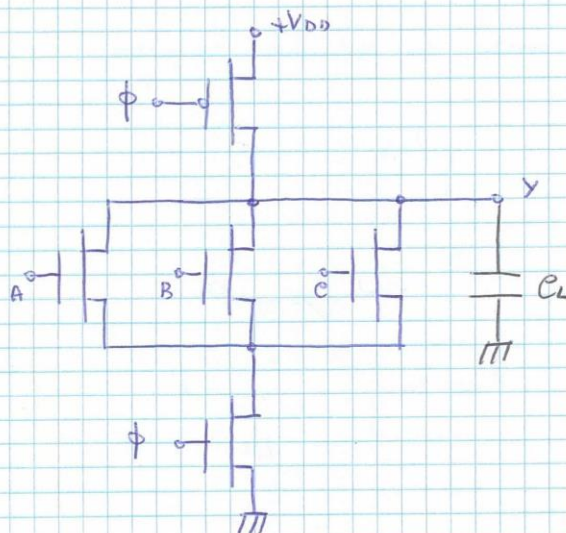
Non è presente l'effetto Body.

Altra Soluzione: LOGICA DOKINO



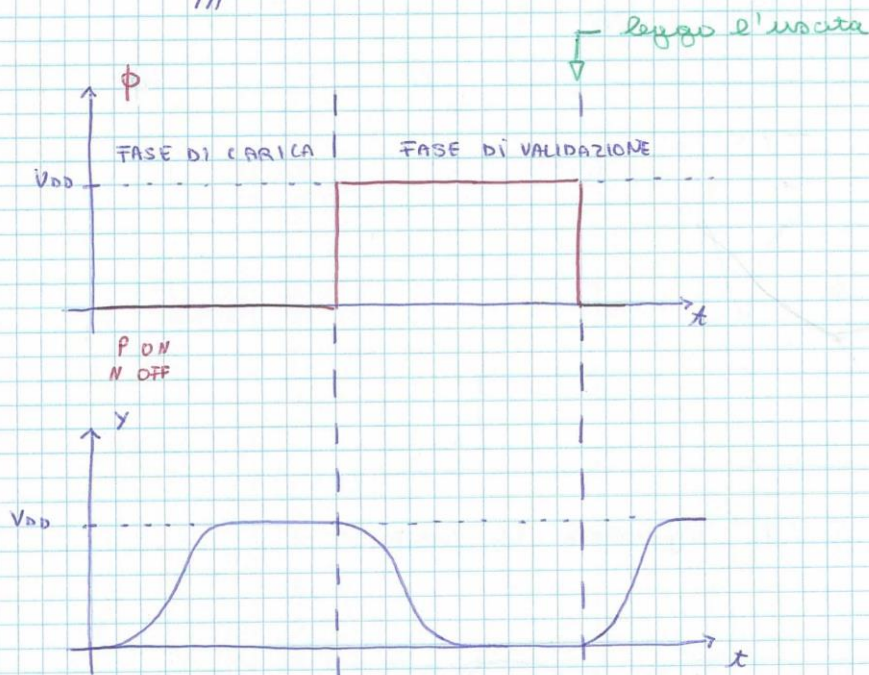
$$P_{statica} = V_{DD} \cdot \frac{I_{OL} + I_{OH}}{2} = \phi.$$

Suppongo nella parte n 3 n MOS



$$Y = A + B + C$$

N.B. l'uscita sale solo dopo la fase di validazione.



FASE DI VALIDAZIONE:

C_L è carico e se A, B o C sono alti, C_L si scarica sulla Π .

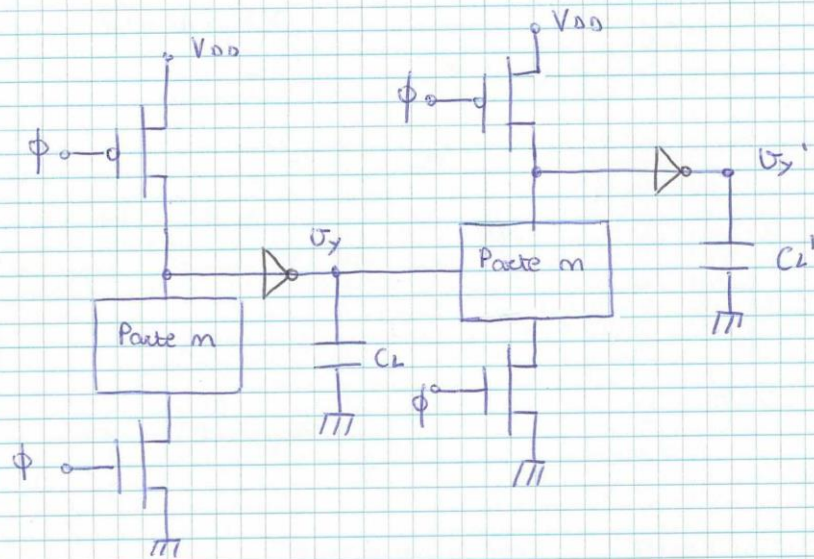
N.B. A differenza delle altre soluzioni questo richiede due fasi ma:

$$P_{statica} = \phi W$$

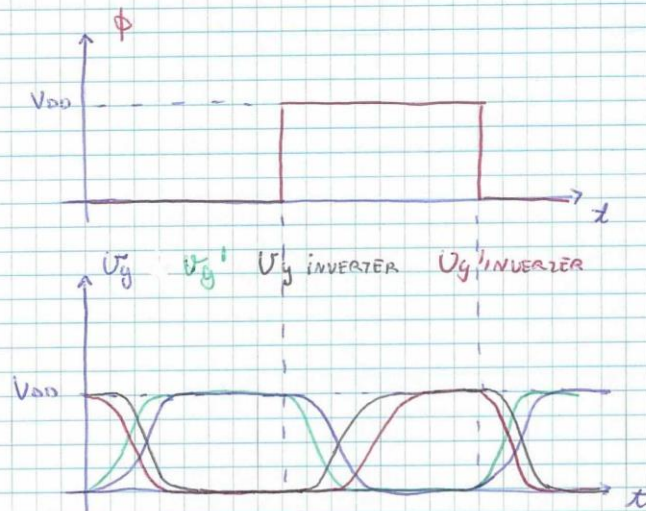
$$C_{in} = C_m$$

Problema :

Se ho a valle un'output porta di questo genere :



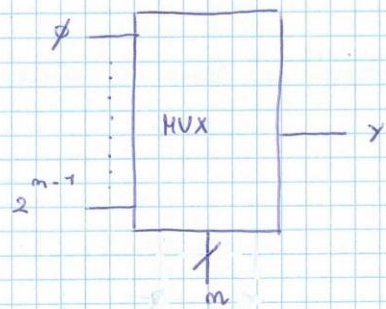
Se $C_L' < C_L$



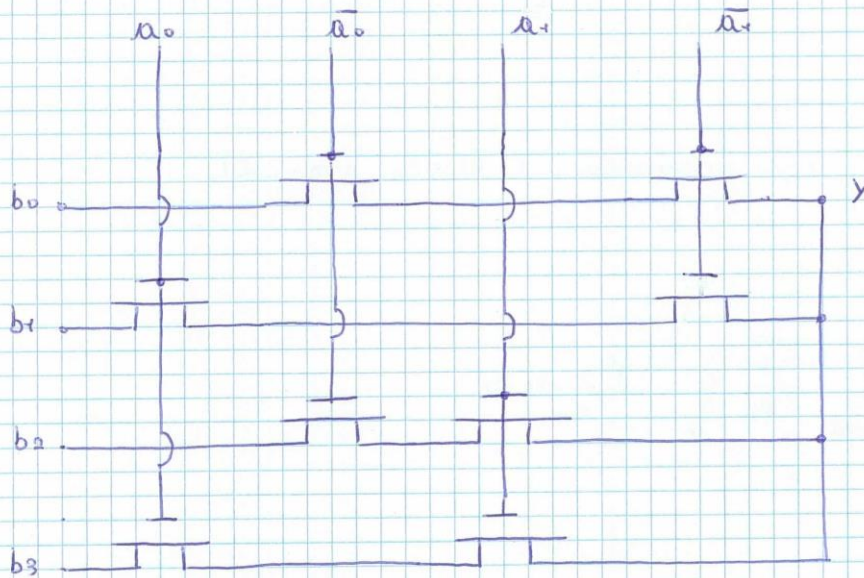
Succede che U_Y' si attivi indipendentemente dal suo ingresso, perché U_Y è alta e non ce la fa ad andare bassa in tempo.

Per trovare ancora un INVERTER

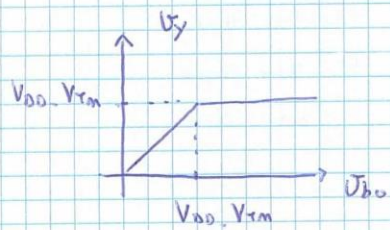
MULTIPLEXER



Realizzazione:



caratteristica:



Questo circuito non è una porta logica.

14/04/2016

MEMORIE A SEMICONDUCTORE

Memorie ROM:

EPROM

(tempi di lettura $\ll$ tempi di scrittura)

EEPROM

MEMORIE FLASH

Memorie RAM:

SRAM

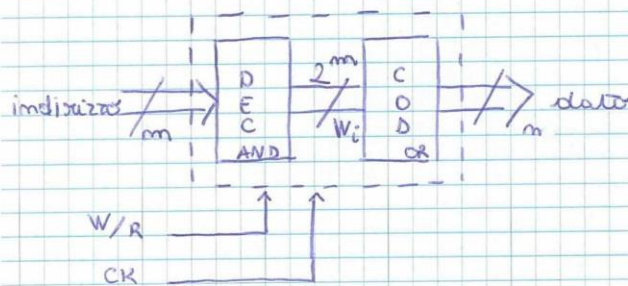
DRAM

Circuiti ASIC (Application Specific Integrated Circuit)

MEMORIE

FP&A

Struttura di una memoria (BLOCCO AND-OR)



$m=2 \rightarrow a_1 a_0$ (indirizz)

$$w_0 = \bar{a}_1 \bar{a}_0$$

$$w_1 = \bar{a}_1 a_0$$

$$w_2 = a_1 \bar{a}_0$$

$$w_3 = a_1 a_0$$

a_1	a_0	y_1	y_0
0	0	d_{01}	d_{00}
0	1	d_{11}	d_{10}
1	0	d_{21}	d_{20}
1	1	d_{31}	d_{30}

$n=2 \rightarrow y_1 y_0$ (data)

CAPACITÀ DELLA MEMORIA = $2^m \cdot n$

Dal punto di vista logico:

$$Y_0 = \bar{a}_1 \bar{a}_0 d_{00} + \bar{a}_1 a_0 d_{10} + a_1 \bar{a}_0 d_{20} + a_1 a_0 d_{30}$$

$$Y_1 = \bar{a}_1 \bar{a}_0 d_{01} + \bar{a}_1 a_0 d_{11} + a_1 \bar{a}_0 d_{21} + a_1 a_0 d_{31}$$

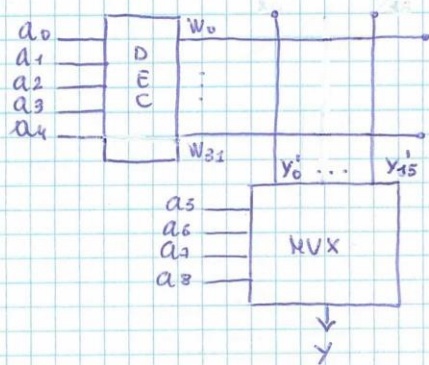
$$m = 9$$

$$2^m = 512$$

$$m = 1$$

$a_8 \dots a_0$	Y_0
0 ... 0	d_{00}
...	...
1 ... 1	d_{5110}

Internamente la realizza in FORMA QUADRATA:



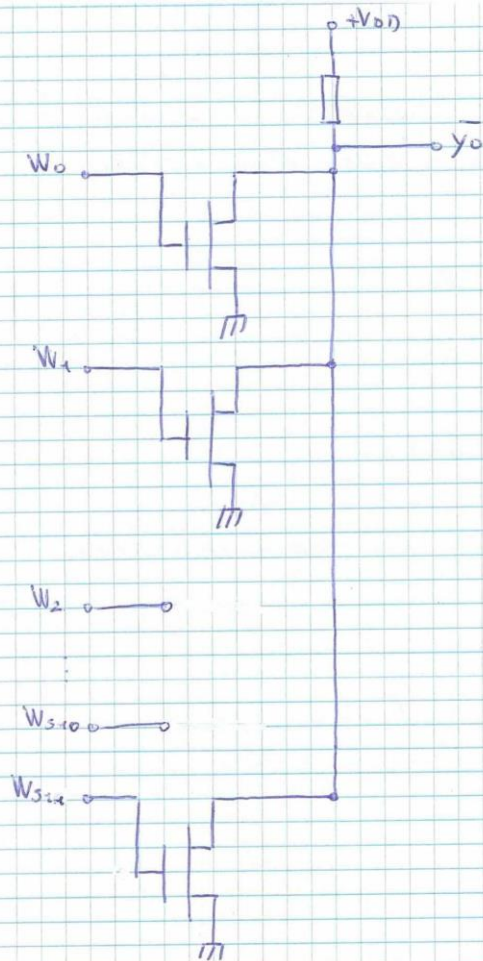
Riguardo alla tabella di verità precedente risulta:

$$Y_0 = \bar{a}_8 \dots \bar{a}_0 \cdot d_{00} + \dots + a_8 \dots a_0 \cdot d_{5110}$$

Supponiamo $d_{00} = 1$, $d_{10} = 1$, $d_{20} = d_{30} = \emptyset$, $d_{5110} = 1$

Presenza di MOSFET $\rightarrow 1$

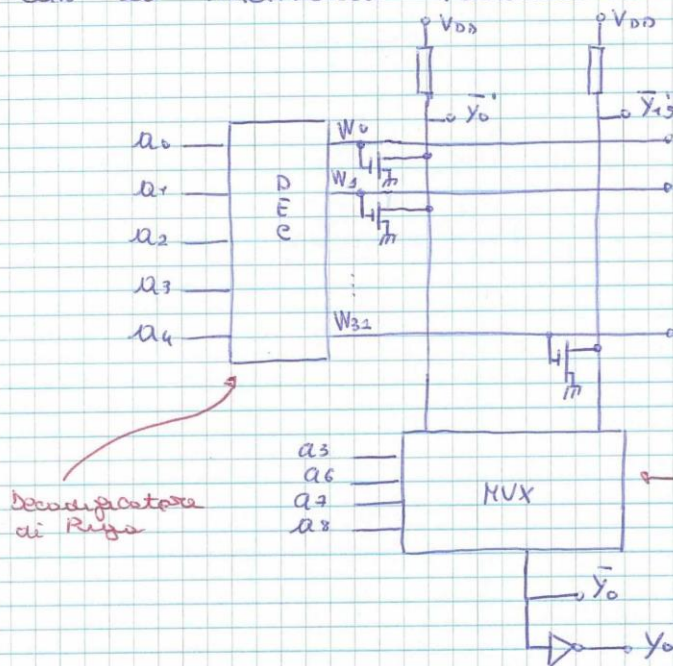
Assenza di MOSFET $\rightarrow \emptyset$



$$\overline{Y_0} = W_0 + W_1 + W_{511}$$

512 AND a 9 INGRESSI
+ 1 OR a 512 INGRESSI

Con la memoria organizzata:



Decodificatore di Riga

Decodificatore di colonna

DEC :

32 AND a 5 INGRESSI

MUX :

16 AND a 4 INGRESSI

+ 1 OR a 16 INGRESSI

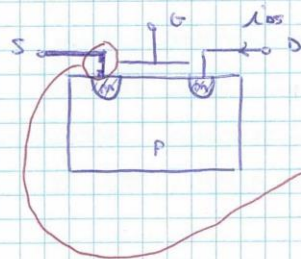
Come si rende, dal punto di vista elettrico, presente o assente un MOSFET?

Studio la singola cella.

1FAMOS (Floating Anode MOS)

Ha un gate flottante

Premessa: (Fuse e AntiFuse MOS)



Se faccio passare un I_{os} grande per effetto termico il collegamento dal SOURCE si rompe.

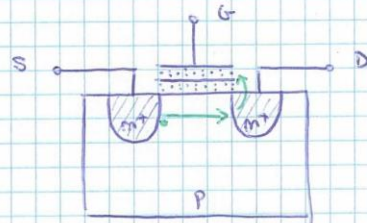
Queste tecnologie sono utilizzate per realizzare memorie ROM.

↳ tempo scrittura
↳ tempo lettura

N.B. leggendo il dato viene comunque consumato.

Per un FAMOS

EPROM → FAMOS
EEPROM → EFF. TUNNEL



C'è un secondo GATE flottante immerso nella regione.

Come lo posso schematizzare?



(N.B. non è esecutiva questa tensione veramente)

$$U_{es}' = \frac{1}{\frac{1}{C_1} + \frac{1}{C_2}} \cdot U_{es} = \frac{C_2}{C_1 + C_2} U_{es}$$

Per avere in conduzione:

$$U_{GS}' = U_{GS} \cdot \frac{C_2}{C_1 + C_2} \gg V_{TH}$$

$$U_{GS} \geq V_{TH} \cdot \frac{C_1 + C_2}{C_2}$$

Per programmare la conduzione basta a modificare V_{TH} a mio piacimento, ovvero:

Gli elettroni, se $U_{GS} > 0$, si muovono da S a D.
ma se $U_{GS} > 0$, vengono attratti in alto.

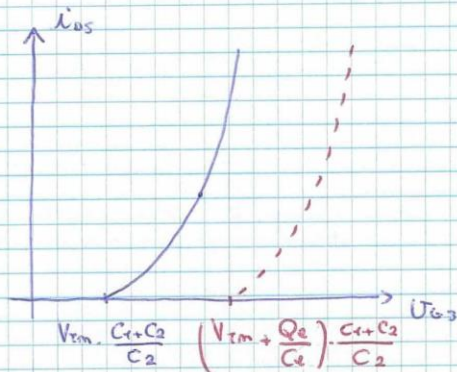
Per effetto sonda alcuni elettroni oltrepassano il canale e vanno al GATE FLUTUANTE che da isolante diventa conduttore.

Accade che:

$$U_{GS}' = \frac{C_2}{C_1 + C_2} U_{GS} - \frac{Q_F}{C_2}$$

$$\rightarrow U_{GS} \cdot \frac{C_2}{C_1 + C_2} - \frac{Q_F}{C_2} \geq V_{TH}$$

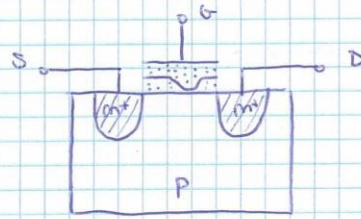
$$U_{GS} \geq \left(V_{TH} + \frac{Q_F}{C_2} \right) \cdot \frac{C_1 + C_2}{C_2}$$



Immaginiamo fra gli strati isolanti gli elettroni che mi permettono di arrivare V_{TH} per ottenere 0 I_{DS} o 1 I_{DS} , ovvero non conduzione e conduzione.

Per fare uscire gli elettroni dal gate fluttuante è necessario colpire il gate con raggi ultravioletti, in quanto $E = h \nu$ con ν frequenza.

Per evitare ciò, se posto dell'effetto nel campo
suo l'effetto Turnnee:



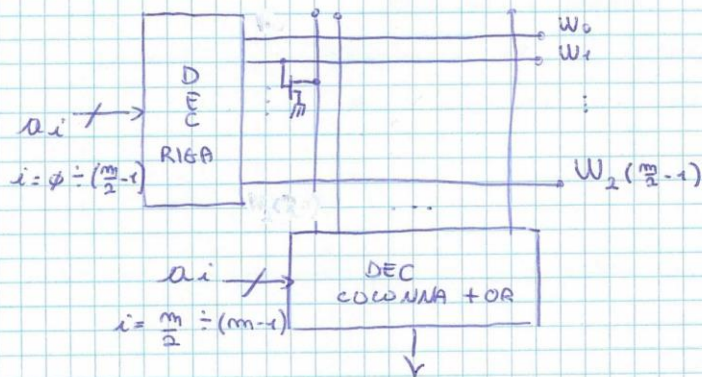
Il gate fluttuante in
un punto si avvicina
al canale.

È un effetto reversibile.

Cambiando polarizzazione di V_{GS} , gli elettroni
terminano nel canale e Ven oscar.

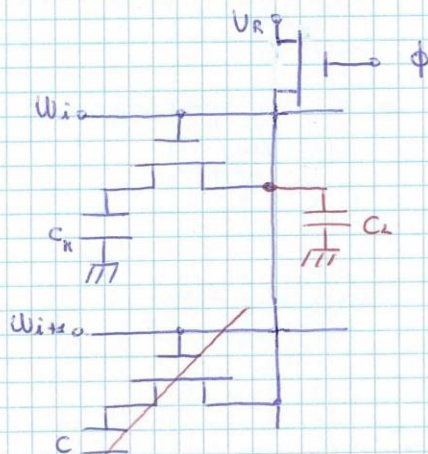
13/04/2016

Memoria Quadrata:



DRAM

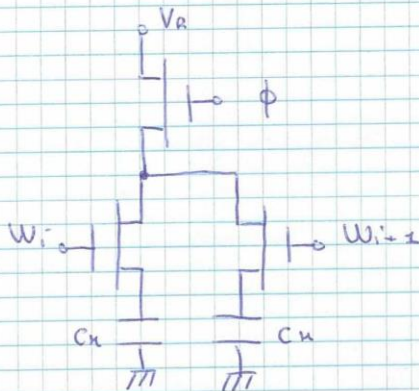
La struttura è quella della memoria quadrata
ma cambia la cella:



$V_R \approx V_{DD}/2$
MOSFET nMOS

Se $W_{i+1} = \phi \rightarrow$ MOSFET $i+1$ è
interdetto.

Ridisegnando il circuito:



Se voglio selezionare una cella pongo veto alle W_i e lascio tutti gli altri.

Sulla cella i -esima si inserisce un carico capacitivo dovuto agli altri MOSFET interdetti.

W_{i+1} quindi interdetto, si inserisce un carico capacitivo sulla cella i -esima.

$$C_k \ll C_L$$

Supponiamo di voler leggere l'informazione in C_k .

ϕ LOGICO $\rightarrow$ C SCARICO

1 LOGICO $\rightarrow$ C CARICO

Supponiamo 1 LOGICO

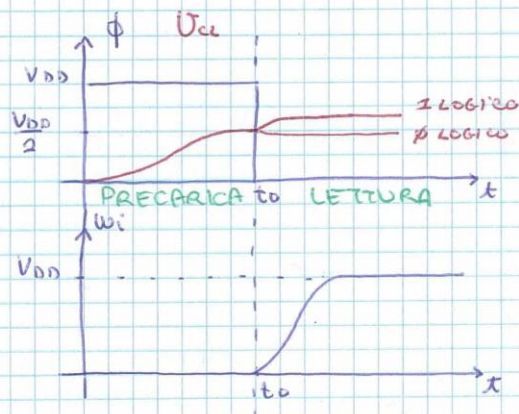
$t = t_p \rightarrow$ MOSFET i è OFF

$$Q_{Ck} = C_k \cdot V_{DD}$$

Prima di ogni fase di lettura c'è una fase di precarica:

Tramite il MOSFET ϕ si carica C_L a $V_{DD}/2$.

$$Q_{CL} = C_L \cdot \frac{V_{DD}}{2}$$



Dopo la fase di precarica c'è la fase di lettura.

$W_i = V_{DD} \rightarrow$ MOSFET i è ON

Accade che C_H e C_L vanno in parallelo:

$$C_H V_{DD} + C_L \frac{V_{DD}}{2} = (C_H + C_L) \cdot V_{OU}$$

$$\rightarrow V_{OU} = V_{DD} \cdot \frac{C_H}{C_H + C_L} + \frac{C_L \cdot \frac{V_{DD}}{2}}{C_H + C_L} \approx V_{DD} \cdot \frac{C_H}{C_L} + \frac{V_{DD}}{2}$$

la variazione non è sensibile: $V_{DD} \cdot \frac{C_H}{C_L} \approx mV$

Se il dato memorizzato è 0 LOGICO

$$V_{OU} = \frac{C_L \cdot V_{DD}/2}{C_H + C_L} \approx \frac{V_{DD}}{2}$$

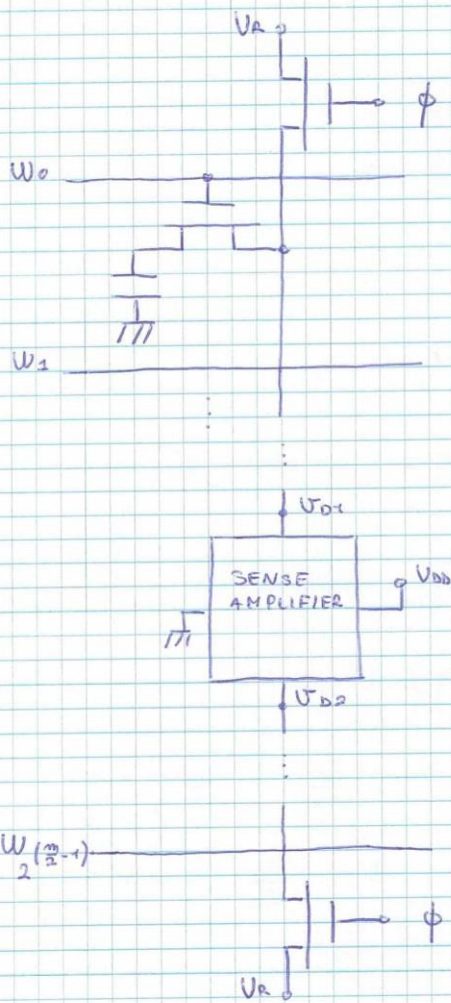
lettura non interpretabile!

Come Rimedio?

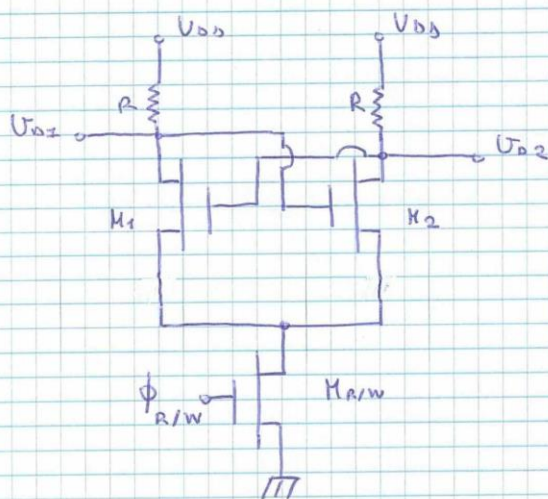
Inserisco un amplificatore di rimpicci in mezzo alle W_i , ed uno per colonna.

Se W_i con $i = 0 \div 255$, se l'amplificatore sta fra W_{127} e W_{128}

Osservo:



Com'è fatto il sense amplifier?



On selectore $M_{R/W}$ è ON
e quindi c'è una
connessione diretta a
massa.

Alla fine di precarica sia V_{D1} che V_{D2} sono $\frac{V_{DD}}{2}$.

Per disattivo ϕ e atteno W_i .

Se in C_H è presente un 1 logico, C_H contribuisce ad aumentare V_{D1} anche se di poco.

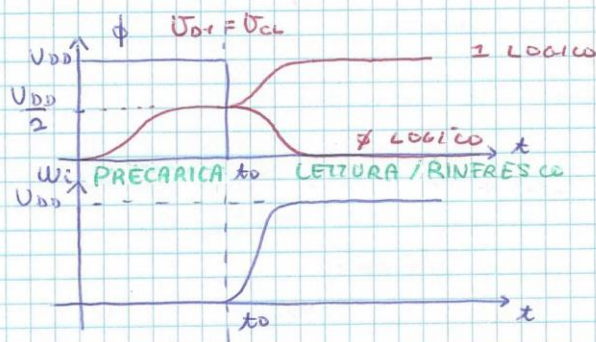
Se $V_{D1} \uparrow$, i_{D2} aumenta e quindi $V_{D2} \downarrow$.

Se $V_{D2} \downarrow$, i_{D1} diminuisce e quindi $V_{D1} \uparrow$.

Succede che $V_{D1} = V_{DD}$ e $V_{D2} = \phi$.

V_{D1} rimpiazza $V_{CH} = V_{DD}$ e pone in uscita $V_{CL} = V_{DD}$.

Quindi:



Se era presente uno ϕ LOGICO in C_H

$\rightarrow V_{D1} = \phi$, $V_{D2} = V_{DD}$

$\rightarrow V_{CL} = \phi$

Im fase di apertura cosa succede?

Marw è off e non c'è più commessione al punto di riferimento $\rightarrow$ non occorre calcolarlo.

→ 2 SENSE AMPLIFIER mai și puțin prezente

Um resistor exerce, se a voltagem ocorrer 120V, a corrente $I_{0.1} = I_{0.2}$, e quando alterando U_i corrente $I_{0.1}$ a $I_{0.2}$.

Om reakti corico a U_{00} V_{im} .

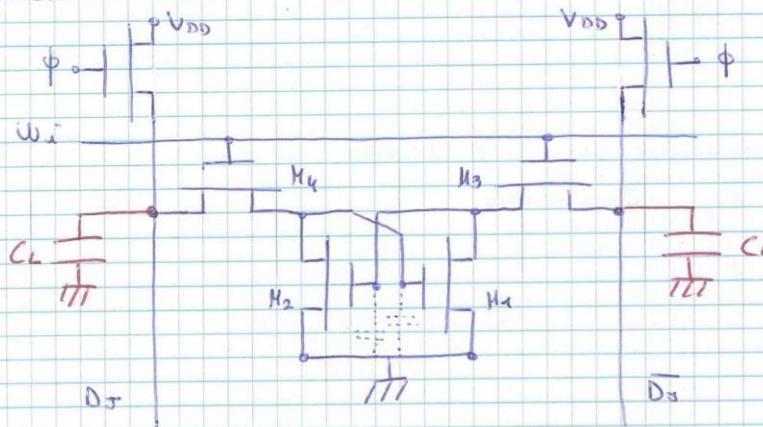
Stesso caso a voglio porre ϕ 100/100 su Ck.

La fase di Reflash è molto importante perché dopo dei tempi t_{CH} ai dati scriviamo nuova effetti traslativi presenti nei MOSFET.

Intervallo di Refresh $\approx 20 \text{ ms}$

O adesso modifico nuovamente la cella D4A4:

CELLA DINAMICA A 4 MOSFET



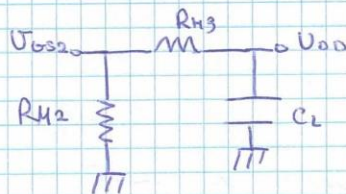
Ci tiene conto che è attino solo la cella i-esima e la capacità parassita derivante dal resto del circuito.

Il dato viene memorizzato nella capacità parassita del MOSFET.

Quando voglio leggere, prelevo C_L a V_{DD} e mi torno di fronte al circuito circuito:

N.B. 1 LOGIC : M_1 ON M_2 OFF

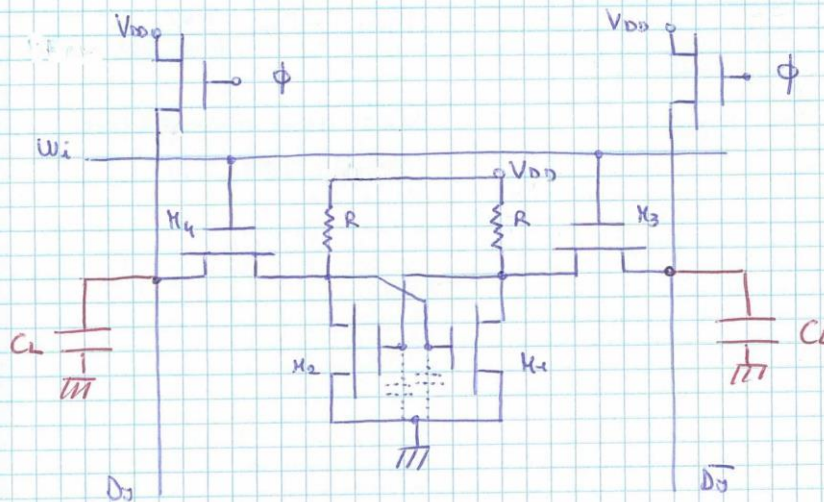
0 LOGIC : M_1 OFF M_2 ON



$$U_{gs2} = \frac{V_{DD} \cdot R_{H1}}{R_{H1} + R_{H3}}$$

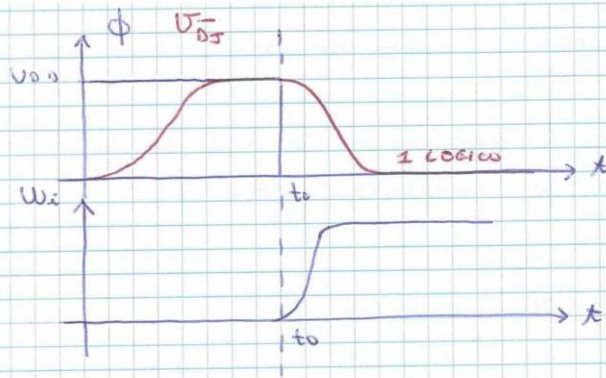
che comunque non
avrebbe troppo grande perché
deve mantenere M_2 in
OFF.

SRAH (fatta a 4 MOSFET con Rpoli)



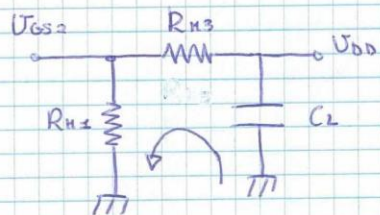
R sono resistenze Rpoli : sono molto grandi e
quindi il circuito consuma poco

Siccome inserire R grande che punto di vista
dinamico è inefficiente inserisco la fase di
precarica.



1 LOGIC : M_1 ON , M_2 OFF

In fase di lettura



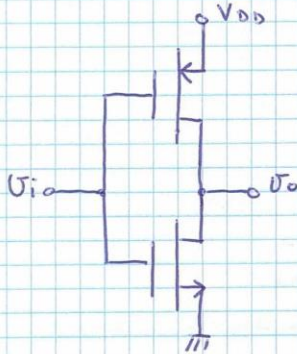
$$U_{GS2} = V_{DD} \cdot \frac{R_{k1}}{R_{k1} + R_{k3}}$$

U_{GS2} deve mantenere M_2 in OFF.

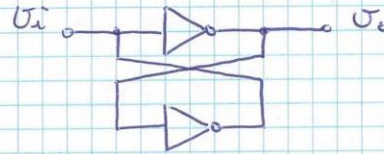
20/04/2016

SRAM CMOS

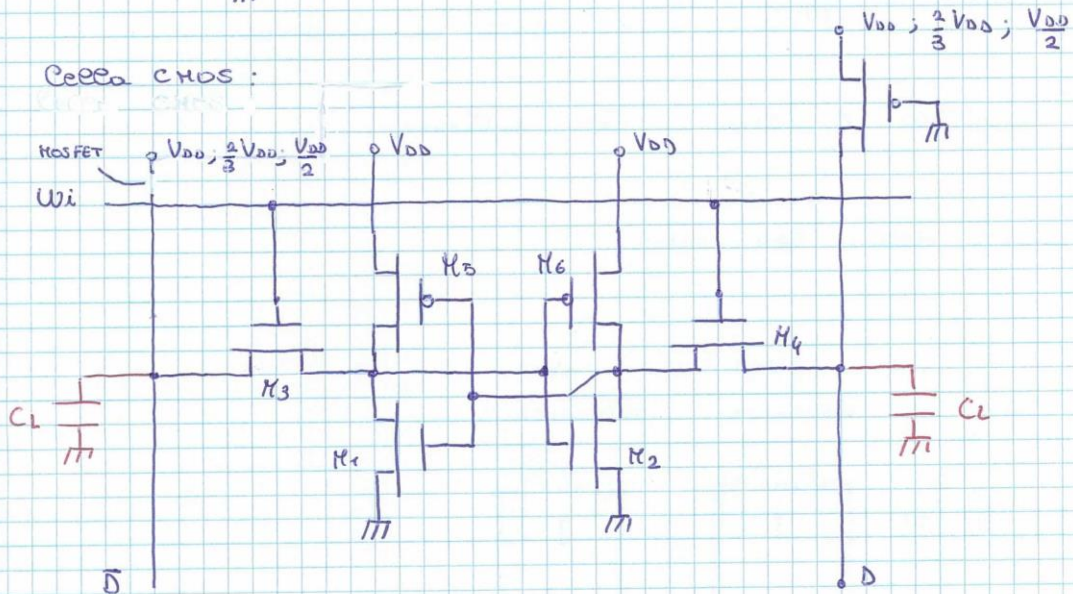
Invertitore CMOS:



Latch trasparente con invertitori:



Cella CMOS:



1 LOGIC0 : M2 OFF
M1 ON

Richiesta : per avere $k_m = k_p$, le dimensioni dei PMOS dovranno essere più grandi

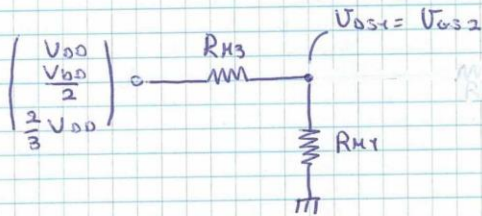
$$\begin{cases} k_m = k_m' \left(\frac{W}{L} \right)_m \\ k_p = k_p' \left(\frac{W}{L} \right)_p \\ k_p' = \frac{k_m'}{2,5} \end{cases}$$

N.B. da oggi dati viene precalcolato per ridurre tempi di

Transizione L → H.

Se scritto M_3 e M_4 uno deve attento che la presenza della linea dati non alteri gli stati dei MOSFET.

Stabilendo il caso 1 Logico:

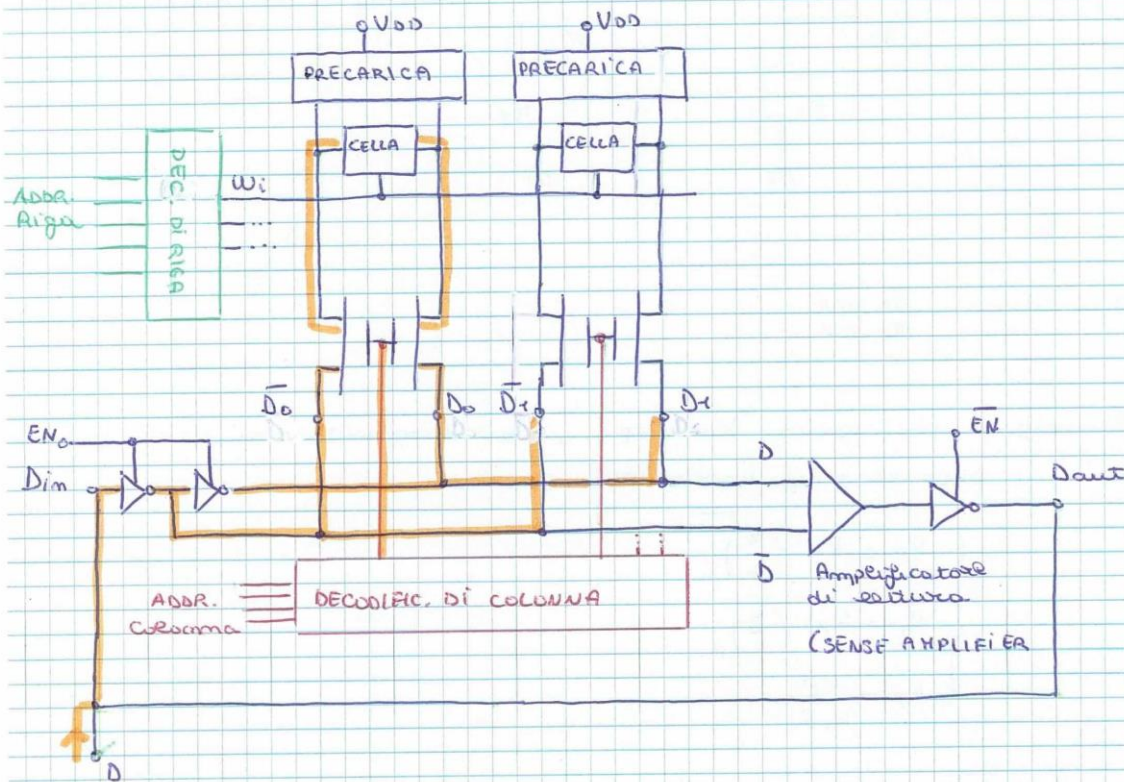


$$V_{Os2} \neq V_{iMAX}$$

Perché M_2 potrebbe cambiare stato ed andare ON.

nel caso di 0 Logico: $V_{Os1} \neq V_{iMAX}$

Struttura della RAM CMOS



Fase di Lettura ○

Per leggere una cella pongo $w_i = 1$ attivando il Pass Transistor ai lati. Quindi il dato lo trovo sulle linee dati.

Selezio poi col decodificatore di colonna la colonna desiderata così i dati arrivano al Sense Amplifier, poi all'inverter a cui segue $\bar{EN} = \phi$.

Fase di Scrittura : ●

Bisogna prendere il comando di Din, quindi $\bar{EN} = 1$, poi selezionare la colonna col dec. di colonna e la riga col dec. di riga.

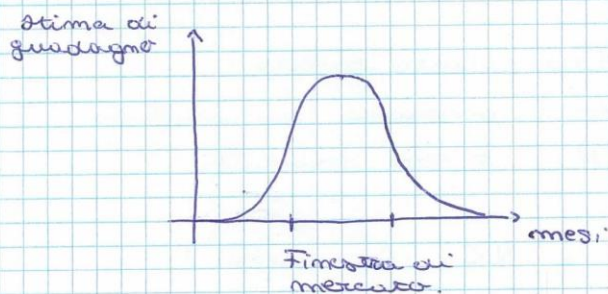
Quanto sulle tipologie di circuiti integrati:

ASIC

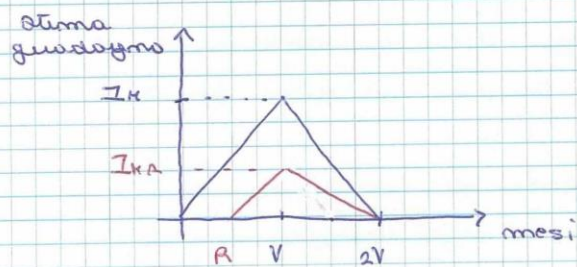
Parametri per la realizzazione:

- Necessità; (un circuito si progetta solo se lo richiede il mercato)
- Produttività; (prodotto con scarto minimo)
- Time To Market; (tempo necessario per essere immesso nel mercato)
- Costo;
- Flessibilità; (come un circuito si può adattare a diverse situazioni)
- Prestazioni; (basso consumo, piccola area, alta frequenza)

Time To Market:



Approssimiamo il suo comportamento con:



$$G = \frac{1}{2} \cdot 2V \cdot I_H = V \cdot I_H$$

Supponiamo che abbia un autotale nell'immissione sul mercato.

$$G_A = \frac{1}{2} (2V - R) I_{KA}$$

Supponiamo: $I_H = V$

$$I_{KA} = V - R$$

Quantificazione delle perdite:

$$P\% = \frac{V \cdot I_H - \frac{1}{2} (2V - R) I_H}{V \cdot I_H} \cdot 100$$

supponendo $V = 12$, $R = 2$ (mesi)

$$P\% = 24\% \rightarrow R = 2$$

$$P\% = 44\% \rightarrow R = 4$$

Costo:

S: prezzo di mercato

$$S = \frac{C_{TOT}}{(1 - m) N}$$

C_{TOT} : costo totale

m : margine di profita

N : # pezzi prodotti

$$C_{TOT} = C_{NA} (\text{non variabili}) + N \cdot C_v (\text{unitari})$$

Tipologia di sistemi ASIC

- FULL CUSTOM

- SEMI CUSTOM

- STANDARD CELL

- GATE ARRAYS

- PROGRAMMABILI

- MEMORIE

- FPGA

